

日本国特許庁
JAPAN PATENT OFFICE

3/00-142
#2
5-8-02IT
10/046446
10/16/02
10/046446
10/16/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2001年 1月18日

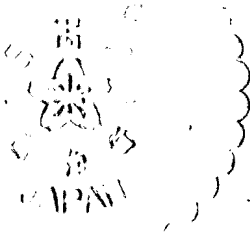
出願番号
Application Number:

特願2001-010821

出願人
Applicant(s):

株式会社日立製作所

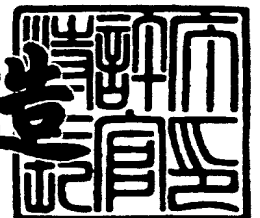
U.S. Appln. Filed 1-16-02
Inventor: T. Miyamoto et al
Mattingly Stanger & Malor
Docket 74A-110



2001年10月19日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3092521

【書類名】 特許願

【整理番号】 H00014221

【提出日】 平成13年 1月18日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/56

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立
製作所 半導体グループ内

【氏名】 宮本 俊夫

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立
製作所 半導体グループ内

【氏名】 安生 一郎

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立
製作所 半導体グループ内

【氏名】 西村 朝雄

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立
製作所 半導体グループ内

【氏名】 片桐 光昭

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立
製作所 半導体グループ内

【氏名】 白井 優之

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町292番地 株式会社日
立製作所 生産技術研究所内

【氏名】 山口 欣秀

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、前記半導体基板の一主面に形成され、複数の機能または複数の特性を有する集積回路を構成する回路素子と、前記集積回路に接続され、前記集積回路の複数の機能の一つまたは複数の特性の一つを選択するための内部接続端子と、前記内部接続端子を選択的に露出するように前記内部接続端子を覆う絶縁膜と、前記絶縁膜上に配置された外部接続端子とを有し、

前記内部接続端子と前記外部接続端子との接続状態によって、前記複数の機能の一つまたは前記複数の特性の一つが選択されることを特徴とする半導体集積回路装置。

【請求項 2】 前記複数の機能は、複数のビット構成または複数の動作モードであり、前記複数の特性は、複数の出力インピーダンス、複数の動作電圧または複数のスルーレートであることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 3】 前記内部接続端子に前記外部接続端子から電源電圧が供給されるか、基準電圧が供給されるか、または前記内部接続端子と前記外部接続端子とが非接続状態にされるかによって、前記複数の機能の一つまたは前記複数の特性の一つが選択されることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 4】 前記外部接続端子の面積は、前記内部接続端子の面積よりも大きいことを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 5】 一主面を有する半導体基板と、前記一主面に形成され、複数の機能または複数の特性を有する集積回路を構成する回路素子と、前記一主面上に形成され、前記回路素子に接続される電極と、前記電極と同じ層に形成され、前記回路素子と前記電極とを接続する第 1 の配線と、前記第 1 の配線上および前記回路素子上を覆い、かつ前記電極を露出するように形成された絶縁層と、前記絶縁層上に形成され、前記第 1 の配線とは異なる層からなる第 2 の配線と、前記絶縁層上に設けられた外部接続端子とを有し、

前記第 2 の配線を介して接続される前記電極と前記外部接続端子との接続状態

によって、前記集積回路の複数の機能の一つまたは複数の特性の一つが選択されていることを特徴とする半導体集積回路装置。

【請求項 6】 前記複数の機能は、複数のビット構成または複数の動作モードであり、前記複数の特性は、複数の出力インピーダンス、複数の動作電圧または複数のスルーレートであることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 7】 前記電極に前記外部接続端子から電源電圧が供給されるか、基準電圧が供給されるか、または前記電極と前記外部接続端子とが非接続状態にされるかによって、前記複数の機能の一つまたは前記複数の特性の一つが選択されることを特徴とする請求項 5 記載の半導体集積回路装置。

【請求項 8】 前記第 2 の配線は、前記絶縁層上に薄膜技術で形成された金属膜からなることを特徴とする請求項 5 記載の半導体集積回路装置。

【請求項 9】 前記第 2 の配線は、銅膜または銅合金膜からなることを特徴とする請求項 5 記載の半導体集積回路装置。

【請求項 10】 前記第 2 の配線は、アルミニウム膜またはアルミニウム合金膜からなることを特徴とする請求項 5 記載の半導体集積回路装置。

【請求項 11】 前記第 2 の配線は、クロム、銅およびニッケルからなることを特徴とする請求項 5 記載の半導体集積回路装置。

【請求項 12】 前記第 2 の配線の一部は、銅ポストで構成されていることを特徴とする請求項 5 記載の半導体集積回路装置。

【請求項 13】 前記外部接続端子は、バンプ電極からなることを特徴とする請求項 5 記載の半導体集積回路装置。

【請求項 14】 前記外部接続端子は、ワイヤ電極からなることを特徴とする請求項 5 記載の半導体集積回路装置。

【請求項 15】 前記外部接続端子および前記電極は、それぞれ複数個設けられ、前記複数個の外部接続端子間の間隔は、前記複数個の電極間の間隔よりも大きくなるように構成されていることを特徴とする請求項 5 記載の半導体集積回路装置。

【請求項 16】 半導体基板と、前記半導体基板の一主面に形成され、集積

回路を構成する複数の半導体素子と、前記複数の半導体素子に電氣的に接続された複数の第 1 の導電層と、前記複数の第 1 の導電層上に形成された有機絶縁層と、前記有機絶縁層上に延在する第 2 の導電層と、前記有機絶縁層上に設けられた複数の外部接続端子とを有し、

前記半導体集積回路装置は、複数の機能または複数の特性を有し、前記第 1 の導電層と前記外部接続端子との接続状態によって、前記複数の機能の一つまたは複数の特性の一つが選択されていることを特徴とする半導体集積回路装置。

【請求項 1 7】 前記複数の機能は、複数のビット構成または複数の動作モードであり、前記複数の特性は、複数の出力インピーダンス、複数の動作電圧または複数のスルーレートであることを特徴とする請求項 1 6 記載の半導体集積回路装置。

【請求項 1 8】 前記第 1 の導電層に前記外部接続端子から電源電圧が供給されるか、基準電圧が供給されるか、または前記第 1 の導電層と前記外部接続端子とが非接続状態にされるかによって、前記複数の機能の一つまたは前記複数の特性の一つが選択されることを特徴とする請求項 1 6 記載の半導体集積回路装置。

【請求項 1 9】 前記第 1 の導電層に前記外部接続端子から電源電圧または基準電圧が供給される場合は、前記第 2 の導電層を介して供給されることを特徴とする請求項 1 8 記載の半導体集積回路装置。

【請求項 2 0】 前記有機絶縁層は、エラストマ層を含むことを特徴とする請求項 1 6 記載の半導体集積回路装置。

【請求項 2 1】 前記有機絶縁層は、ポリイミド樹脂からなることを特徴とする請求項 1 6 記載の半導体集積回路装置。

【請求項 2 2】 前記複数の外部接続端子は、前記複数の電極を挟むように前記有機絶縁層上に形成されていることを特徴とする請求項 1 6 記載の半導体集積回路装置。

【請求項 2 3】 一主面を有する半導体基板と、前記半導体基板の一主面に形成され、半導体集積回路を構成する回路素子と、前記一主面上に形成され、前記回路素子に接続された電極と、前記電極と同じ層に形成され、前記回路素子と

前記電極とを接続する第1の配線と、前記第1の配線上および前記回路素子上を覆い、かつ前記電極を露出するように形成された絶縁層と、前記絶縁層上に形成され、前記第1の配線とは異なる層からなる第2の配線と、前記絶縁層上に設けられた外部接続端子と、前記絶縁層上に形成され、前記第2の配線と同一材料によって構成された位置合わせパターンとを有することを特徴とする半導体集積回路装置。

【請求項24】 一主面を有する半導体基板と、前記半導体基板の一主面に形成され、半導体集積回路を構成する回路素子と、前記一主面上に形成され、前記回路素子に接続された電極と、前記電極と同じ層に形成され、前記回路素子と前記電極とを接続する第1の配線と、前記第1の配線上および前記回路素子上を覆い、かつ前記電極を露出するように形成された絶縁層と、前記絶縁層上に形成され、前記第1の配線とは異なる層からなる第2の配線と、前記絶縁層上に設けられた外部接続端子と、前記絶縁層上に形成され、前記第2の配線と同一材料によって構成された製品情報パターンとを有することを特徴とする半導体集積回路装置。

【請求項25】 前記外部接続端子は、前記電極を挟むような位置に複数形成され、前記製品情報パターンは、前記外部接続端子よりも前記電極から遠ざかる位置に形成されていることを特徴とする請求項24記載の半導体集積回路装置。

【請求項26】 前記製品情報パターンは、前記半導体集積回路の機能または動作の選択に対応した製品名を含むことを特徴とする請求項24記載の半導体集積回路装置。

【請求項27】 以下の工程を有する半導体集積回路装置の製造方法：

(a) 半導体ウエハの主面の複数のチップ領域に、回路素子と、第1の配線を介して前記回路素子に接続される複数の電極がそれぞれ形成された状態で、前記半導体ウエハを保管する工程、

(b) 品種確定後、前記回路素子上および前記複数の電極上に絶縁層を形成し、前記絶縁層上に第2の配線を選択的に形成し、かつ前記複数の電極のうち所定の電極に前記第2の配線を接続することによって、前記確定された品種に応じた機

能または特性を選択する工程、

(c) 前記半導体ウエハを前記チップ領域単位で切断することによって、複数の半導体チップを得る工程。

【請求項 28】 前記 (b) 工程の後、前記 (c) 工程に先立って、前記第 2 の配線に接続される外部接続端子を形成する工程を含むことを特徴とする請求項 27 記載の半導体集積回路装置の製造方法。

【請求項 29】 前記第 2 の配線は、薄膜技術により形成されることを特徴とする請求項 27 記載の半導体集積回路装置の製造方法。

【請求項 30】 前記絶縁膜は、有機絶縁膜により形成されることを特徴とする請求項 27 記載の半導体集積回路装置の製造方法。

【請求項 31】 前記有機絶縁層は、ポリイミド樹脂からなることを特徴とする請求項 30 記載の半導体集積回路装置の製造方法。

【請求項 32】 前記ポリイミド樹脂は、感光性ポリイミド樹脂からなることを特徴とする請求項 31 記載の半導体集積回路装置の製造方法。

【請求項 33】 前記有機絶縁層は、エラストマ層を含むことを特徴とする請求項 30 記載の半導体集積回路装置の製造方法。

【請求項 34】 前記 (b) 工程において、前記絶縁層上に前記第 2 の配線と同一の材料で位置合わせパターンを形成することを特徴とする請求項 27～33 のいずれか一項に記載の半導体集積回路装置の製造方法。

【請求項 35】 前記 (b) 工程において、前記絶縁層上に前記第 2 の配線と同一の材料で製品情報パターンを形成することを特徴とする請求項 27～33 のいずれか一項に記載の半導体集積回路装置の製造方法。

【請求項 36】 前記確定された品種に応じた機能は、ビット構成または動作モードであり、前記確定された品種に応じた特性は、出力インピーダンス、動作電圧またはスルーレートであることを特徴とする請求項 27 記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置およびその製造方法に関し、ウエハプロセスを応用して形成したCSP(chip size package)、すなわちウエハ状態でパッケージング工程を完了する方式である、いわゆるウエハレベルCSP(WL-CSP)あるいはウエハプロセスパッケージ(Wafer Process Package)に適用して有効な技術に関する。

【0002】

【従来の技術】

パッケージプロセス(後工程)をウエハプロセス(前工程)と一体化し、ウエハ状態でパッケージング工程を完了する方式、いわゆるウエハレベル(Wafer Level)CSPと呼ばれる技術は、ウエハプロセスを応用してパッケージプロセスを処理するため、ウエハから切断したチップ毎にパッケージプロセス(後工程)を処理する従来方法に比べて工程数を大幅に低減することができるという利点がある。ウエハレベルCSPは、ウエハプロセス・パッケージ(Wafer Process Package; WPP)とも呼ばれる。

【0003】

また、上記ウエハレベルCSPは、ボンディングパッドのピッチを半田バンプのピッチに変換するインターポーザと呼ばれるCSP内部の配線層を、ウエハ上に形成した再配線層によって代用できるため、上記した工程数の低減と相俟って、CSPの製造コストを低減することができるものと期待されている。

【0004】

ウエハレベルCSPについては、例えば株式会社 技術調査会発行(2000年5月28日発行)の「エレクトロニクス実装技術:2000臨時増刊号」81頁~113頁や、特許国際公開WO/23696号公報などに記載がある。

【0005】

従来の、ウエハから切断したチップ毎にパッケージプロセス(後工程)を処理する方法では顧客からの要求に速やかに対応するため、例えばメモリLSI(DRAM: Dynamic Random Access Memory)などでは、ボンディングオプションによって、ワード構成やビット構成といった動作モードの変更(品種切替え)を行っていた。このような、個別チップに分割後電気特性の変更いわゆるボンディン

グオプションを行う技術としては、特開平 1 1 - 4 0 5 6 3 号公報や特開平 7 - 1 6 1 7 6 1 号公報に記載がある。

【 0 0 0 6 】

この内、特開平 1 1 - 4 0 5 6 3 号公報には、(1) ボンディングワイヤまたはテープリードあるいは外部接続ボールが接続されるボンディングパッド（半導体チップに設けられた半導体素子電極）に異なる電気特性を有する 2 本の配線を接続形成しておき、要求される電気特性に応じてどちらかの配線をレーザーにより切断する方法、(2) 半導体チップに設けられた半導体素子電極（ボンディングパッド）と半導体パッケージの電極部との接続を行うボンディングワイヤの結線を変える方法、(3) C S P において半導体チップの電極（ボンディングパッド）に接続される外部接続ボールの配置位置を変える方法などが示されている。

【 0 0 0 7 】

また、特開平 7 - 1 6 1 7 6 1 号公報には、半導体素子表面のボンディングパッドと複数のリードとをボンディングワイヤによって接続する半導体装置において、同一機能の複数のボンディングパッドが一行に並んだパッド群を機能毎に半導体素子中央部に複数列形成しておき、ボンディングワイヤが接続されるボンディングパッドを変えることにより品種に応じてリードとボンディングパッドとの接続関係を変更する方法が記載されている。

【 0 0 0 8 】

【発明が解決しようとする課題】

一方、ウエハレベル C S P は、品種確定後にウエハプロセスに着手し、ウエハプロセスで外部接続端子（半田バンプ）の形成までを行うものであるため、従来のように、ウエハをチップに分割した後には動作モードの変更を行うことができない。従って、受注から納品までの開発期間が長期化してしまうという問題がある。また、開発期間を短縮するために、品種毎の受注量を見込んでウエハプロセスに着手した場合は、不要な在庫を抱えることによる製造コストの増大が不可避となる。

【 0 0 0 9 】

また、C S P などのパッケージは、特定の機能を有する端子の配置をユーザー

オプションによって変更しなければならないことがあるが、ウエハレベルCSPの場合は、ウエハをチップに分割した後にピン配置の変更を行うことができない。

【0010】

本発明の目的は、ウエハレベルCSPの開発期間を短縮する技術を提供することにある。

【0011】

本発明の他の目的は、ウエハレベルCSPの製造コストを低減する技術を提供することにある。

【0012】

本発明の他の目的は、見込み生産により抱える在庫を低減することのできる技術を提供することにある。

【0013】

本発明の他の目的は、ウエハ単位で品種切替えのできる技術を提供することにある。

【0014】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0015】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば次の通りである。

【0016】

すなわち、本発明は、半導体基板と、前記半導体基板の一主面に形成され、複数の機能または複数の特性を有する集積回路を構成する回路素子と、前記集積回路に接続され、前記集積回路の複数の機能の一つまたは複数の特性の一つを選択するための内部接続端子と、前記内部接続端子を選択的に露出するように前記内部接続端子を覆う絶縁膜と、前記絶縁膜上に配置された外部接続端子とを有し、前記内部接続端子と前記外部接続端子との接続状態によって、前記複数の機能の

一つまたは前記複数の特性の一つを選択するものである。

【0017】

また本発明は、半導体基板と、前記半導体基板の一主面に形成された回路素子と、前記一主面に形成され、前記回路素子に接続された電極と、前記一主面上に絶縁層を介して形成された外部接続端子と、前記電極と前記外部接続端子間を接続する再配線と、前記再配線と同一材料により構成された製品情報パターンとを有することを特徴とする半導体集積回路装置である。

【0018】

また、本発明は、(a) 半導体ウエハの主面の複数のチップ領域に、回路素子と、第1の配線を介して前記回路素子に接続される複数の電極がそれぞれ形成された状態で、前記半導体ウエハを保管する工程と、(b) 品種確定後、前記回路素子上および前記複数の電極上に絶縁層を形成し、前記絶縁層上に第2の配線を選択的に形成し、かつ前記複数の電極のうち所定の電極に前記第2の配線を接続することによって、前記確定された品種に応じた機能または特性を選択する工程と、(c) 前記半導体ウエハを前記チップ領域単位で切断することによって、複数の半導体チップを得る工程とを有する半導体集積回路装置の製造方法である。

【0019】

【発明の実施の形態】

以下、本発明の実施の形態を図面を用いて詳述する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は原則として省略する。

【0020】

また、以下の実施の形態において、ボンディングパッドとは、請求項の内部接続端子または電極を意味するものとする。

【0021】

また、以下の実施の形態において、最上層配線とは、請求項の第1の配線または第1の導電層を意味するものとする。

【0022】

また、以下の実施の形態において、有機保護膜とは、請求項の絶縁膜、絶縁層

または有機絶縁層を意味するものとする。

【 0 0 2 3 】

また、以下の実施の形態において、再配線とは、請求項の絶縁膜、絶縁層または有機絶縁層の上部に形成される第2の配線または第2の導電層を意味するものとする。

【 0 0 2 4 】

また、以下の実施の形態において、半田バンプとは、請求項の外部接続端子を意味するものとする。

【 0 0 2 5 】

以下の実施の形態1～7では、再配線パターンの一部を変更することによって、半導体集積回路装置の機能（ビット構成、動作モードなど）を選択する方法について説明し、実施の形態8～10では、再配線パターンを変更することによって、半導体集積回路装置の特性（出力インピーダンス、動作電圧、スルーレートなど）を選択する方法について説明する。

【 0 0 2 6 】

（実施の形態1）

図1は、本実施の形態1の半導体集積回路装置であるウエハプロセスを応用して形成したCSP、すなわちウエハ状態でパッケージング工程を完了する方式である、いわゆるウエハレベルCSP（以下WL-CSPと呼ぶ）の完成状態を示す斜視図、図2は、このWL-CSPの再配線（再配線層）やボンディングパッドBPを示す斜視図、図3は、このWL-CSPの要部拡大平面図、図4は、図3のA-A線に沿った断面図、図5は、図1から図4に示す半導体集積回路装置の製造工程の一例を示す製造フロー図、図6から図25は、本実施の形態1の半導体集積回路装置を製造する方法を示す図であり、図6は、主面に集積回路素子であるDRAM（Dynamic Random Access Memory）が形成された再配線形成前の半導体ウエハの平面図、図7は、図6に示す半導体ウエハのチップ領域を拡大して示す平面図、図8は、図7に示すチップ領域の要部断面図、図9は、図6から図8に示す半導体ウエハ上に層間絶縁膜を形成した状態を示すチップ領域の要部断面図、図10は、図9の工程に対応するチップ領域の平面図、図11から図13

は、再配線形成までのチップ領域の要部断面図、図14は、図13の工程に対応するチップ領域の平面図、図15(a)～(d)は、再配線による機能選択用ボンディングパッドとバンプランドとの接続状態を示す平面図、図16は、図15(a)～(d)に対応する機能の説明図、図17は、機能選択用ボンディングパッドに接続された入力回路を示すブロック図、図18(a)、(b)は、機能選択用ボンディングパッドとバンプランドとの接続を入れ替えた例を示す平面図、図19は、再配線と同じ配線材料で形成された認識マークおよび製品名を示す平面図、図20から図22および図24は、半田バンプ形成までの工程を示すチップ領域の要部断面図、図23は、半田印刷法を用いた半田バンプの形成方法を示す斜視図、図25は、半導体ウエハのダイシング工程を示す斜視図である。

【0027】

図1から図4に示す本実施の形態1のWL-CSPは、例えば長辺=8.7mm、短辺=5.7mm、厚さ725 μ m程度の外形寸法を有する半導体チップ（例えば、単結晶シリコンチップ）1Bの主面上に複数の半田バンプ14とこれら複数の半田バンプ14間を絶縁する最上層保護膜12とを有するものである。また、図示はしないが、半導体チップ1Bの主面にはDRAM（Dynamic Random Access Memory）が形成されている。

【0028】

図2から図4に示すように、半導体チップ1Bの主面の中央部には、最上層配線4の一部によって構成された複数のボンディングパッドBPが4列に形成されている。最上層配線4の上部は、ボンディングパッドBPの上部を除き、表面保護（パッシベーション）膜3で覆われている。また、表面保護膜3の上部には、有機パッシベーション膜である感光性ポリイミド樹脂膜5を介して再配線2が形成されている。さらに、再配線2の上部は、その一端部であるバンプ・ランド2Aの上部を除き、最上層保護膜12で覆われている。

【0029】

再配線2の他端部は、前記有機パッシベーション膜である感光性ポリイミド樹脂膜5に形成された開孔6を通じてボンディングパッドBPに電氣的に接続されている。また、再配線2の一端部であるバンプ・ランド2Aの上部には、WPP

の外部接続端子を構成する半田バンプ14が形成されている。後述するように、外部接続端子（半田バンプ14）とボンディングパッドBP間を接続する再配線2の一部は、品種毎の再配線パターンを選択することによって作られたものである。

【0030】

次に、上記のように構成されたWL-CSPの製造方法を図5～図25を用いて工程順に説明する。

【0031】

図5に示す製造フロー図からも分かるように、本実施の形態1の製造方法は、ウエハ検査やプローブ検査の終った半導体ウエハ1を保管（ストック）しておき、品種確定後に品種毎の再配線を選択形成した後、半導体ウエハ1を切断して複数個の半導体チップ1Bに個片化することによって、図1から図4に示されるWL-CSPを形成する方法である。以下、この製造方法を図5の製造フローに沿って詳細に説明する。

【0032】

まず、図6～図8に示すような単結晶シリコンからなる半導体ウエハ（以下、ウエハという）1を用意する。ここで図6は、ウエハ1の全体平面図、図7は、ウエハ1のチップ一個分の領域（チップ領域1A）を示す平面図、図8は、チップ領域1Aの要部断面図である。

【0033】

図6に示すように、ウエハ1の主面は、複数のチップ領域1Aに区画されており、それぞれのチップ領域1Aには、DRAMが形成されている。図7に示すように、DRAMは、複数のメモリセルアレイ（MARY）とそれらの間に配置された周辺回路部PCとで構成されている。チップ領域1Aの中央部には、複数のボンディングパッドBPが4列に配置されている。

【0034】

図示は省略するが、DRAMのメモリセルアレイ（MARY）には、互いに直交する方向に延在する複数本のワード線と複数本のビット線とが形成され、ワード線とビット線とのそれぞれの交点には、1個のMISFET (Metal Insulat r

Semiconductor Field Effect Transistor)と1個のキャパシタ(容量素子)とからなるメモリセルが形成されている。また、メモリセルの上部には、2層の金属配線が形成されている。一方、周辺回路部PCは、nチャネル型MISFET、pチャネル型MISFETおよびそれらの上部に形成された3層の金属配線などによって構成されている。DRAMを構成するこれらのMISFETおよび金属配線は、周知のウエハプロセスによって形成されている。

【0035】

図8に示すように、上記チップ領域1Aの中央部に配置されたボンディングパッドBPは、ウエハ1の表面を覆う表面保護(パッシベーション)膜3をエッチングして開孔し、最上層配線4の一部を露出させることによって形成されている。表面保護膜3は、例えば膜厚0.3 μ m程度の酸化シリコン膜と膜厚1.3 μ m程度の窒化シリコン膜とを積層した絶縁膜で構成されている。また、最上層配線4(およびボンディングパッドBP)は、例えば膜厚0.8 μ m程度のAl(アルミニウム)膜またはAl合金膜で構成されている。

【0036】

上記ウエハ1は、ボンディングパッドBPにプローブを当てて各チップ領域1Aの良、不良を判別する試験(ウエハ検査およびプローブ検査)に付された後、品種が確定する迄、一旦この状態で保管される。ここで品種とは、例えば $\times 32$ 、 $\times 64$ といったビット(またはワード)構成やDDR(Double Data Rate)、シンクロナス(Synchronous)といった動作モードが異なる仕様、あるいは顧客の要求に応じてボンディングパッドBPと再配線2との接続の一部を変更した仕様などを意味している。

【0037】

本実施の形態1の製造方法は、ウエハプロセス(前工程)の最終工程、すなわちウエハ検査およびプローブ検査が完了した上記ウエハ1をロット単位(数十枚/ロット)で多数枚保管しておき、品種およびその数量が確定したときに必要なロットを抜き出し、抜き出したロットの各ウエハに品種に対応したパターンの再配線2を形成する。また、少量多品種製造の場合や試作品製造の場合などは、ロット内から必要な枚数のウエハを取り出し、品種に対応したパターンの再配線2

を形成すればよい。

【0038】

ウエハ1のチップ領域1Aに再配線2を形成するには、まず図9および図10に示すように、ウエハ1の表面を覆っている表面保護膜3の上部に回転塗布法で膜厚 $35\mu\text{m}$ 程度の感光性ポリイミド樹脂膜5を形成し、塗布後バーク（例えば 92°C で300秒）を行った後、ボンディングパッドBPの上部の感光性ポリイミド樹脂膜5に開孔6を形成する。開孔6を形成するには、ボンディングパッドBPの上部を除いた領域の感光性ポリイミド樹脂膜5を露光、およびバーク（例えば 112°C で60秒）して半硬化させ、続いてボンディングパッドBPの上部の非露光（未硬化）部分を現像により除去する。この感光性ポリイミド樹脂膜5は、その下層の表面保護膜3と共に、最上層配線4と再配線2とを絶縁する層間絶縁膜として機能する。

【0039】

次に、ウエハ1をバークすることによって、半硬化の感光性ポリイミド樹脂膜5を完全硬化させて例えば膜厚 $15\mu\text{m}$ の膜を形成した後、図11に示すように、開孔6の底部に露出したボンディングパッドBPの表面を含む感光性ポリイミド樹脂膜5の上部にメッキシード層7を形成する。メッキシード層7は、例えばスパッタリング法で堆積した膜厚 $50\text{nm}\sim 150\text{nm}$ 程度のCr（クロム）膜および膜厚 $0.1\mu\text{m}\sim 0.7\mu\text{m}$ 程度のCu（銅）膜で構成する。

【0040】

次に、図12に示すように、メッキシード層7の上部に、再配線形成領域を開孔したフォトレジスト膜8を形成し、再配線形成領域のメッキシード層7の表面に電解メッキ法でメタル膜9を形成する。メタル膜9は、例えば膜厚 $3\mu\text{m}\sim 15\mu\text{m}$ 程度のCu膜と膜厚 $2\mu\text{m}\sim 5\mu\text{m}$ 程度のNi（ニッケル）膜とで構成する。

【0041】

次に、フォトレジスト膜8を除去した後、その下部のメッキシード層7をウェットエッチングで除去することにより、図13および図14に示すように、メタル膜9によって構成される再配線2が形成される。なお、フォトレジスト膜8の

下部のメッキシード層7をウェットエッチングで除去する際には、メタル膜9の表面も同時にエッチングされるが、メタル膜9の膜厚はメッキシード層7の膜厚に比べて遙かに厚いので支障はない。

【0042】

このように、本実施の形態1では電解メッキ法を使って再配線2を形成する。このような電解メッキ法で形成すれば、感光性ポリイミド樹脂膜5の上部にスパッタリング法で堆積したメタル膜をエッチングして再配線2を形成する場合に比べて再配線2の厚膜化および微細化が容易になる。

【0043】

次に、図15から図17を用いて再配線2のパターン変更による品種の切り換え方法について説明する。

【0044】

図15(a)～(d)は、電源電圧(V_{dd})供給用の再配線2および基準電圧(V_{ss})供給用の再配線2とボンディングパッドBP1、BP2との接続状態を示している。同図(a)および(b)のケースでは、ボンディングパッドBP1に電源電圧(V_{dd})供給用の再配線2が接続されており、(c)および(d)のケースでは、BP1に基準電圧(V_{ss})供給用の再配線2が接続されている。また、同図(a)および(c)のケースでは、ボンディングパッドBP2に電源電圧(V_{dd})供給用の再配線2が接続されており、(b)および(d)のケースでは、BP2に基準電圧(V_{ss})供給用の再配線2が接続されている。

【0045】

図17に示すように、ボンディングパッドBP1、BP2には、入力保護回路および初段入力回路20、21を介してボンディングオプション判定回路22が接続されている。ボンディングオプション判定回路22は、ボンディングパッドBP1、BP2から供給される入力が高レベル(V_{dd})かローレベル(V_{ss})かに応じて、後段回路(図示せず)に出力する内部信号を高レベルまたはローレベルとする。この内部信号は、アドレスバッファ、プリデコーダ、メインアンプなどの制御に用いられ、これによってビット構成や動作モードが決定され

る。

【0046】

ここで、例えばボンディングパッドBP1に電源電圧(V_{dd})が供給された場合は、ビット構成が×32になり、基準電圧(V_{ss})が供給された場合は、×64になるものである。また、ボンディングパッドBP2に電源電圧(V_{dd})が供給された場合は、動作モードがDDR(ダブルデータレート)になり、基準電圧(V_{ss})が供給された場合は、シンクロナスになるものである。

【0047】

この場合、図15(a)のケースでは、×32ビット構成でDDRモードのDRAMが実現され、(b)のケースでは、×32ビット構成でシンクロナスモードのDRAMが実現される。また、(c)のケースでは、×64ビット構成でDDRモードのDRAMが実現され、(d)のケースでは、×64ビット構成でシンクロナスモードのDRAMが実現される。図16は、これらの関係を示している。

【0048】

図18(a)、(b)は、顧客のオプションにより、電源電圧(V_{dd})供給用のボンディングパッドBPおよび基準電圧(V_{ss})供給用のボンディングパッドBPと2本の再配線2、2との接続を入れ替えた例を示している。このようにすることで、配線のレイアウトが一部で異なる実装基板にもWL-CSPを実装することが可能となる。

【0049】

また、再配線2を形成する際には、図19に示すように、再配線材料(メタル膜9)を使ってアライメントマーク10や製品名11などを同時に形成してもよい。アライメントマーク10は、後の工程で再配線2の一端(パンプ・ランド)に半田パンプを接続する際の位置認識マークなどとして使用される。製品名11は、上記のような文字パターンや数字パターンと共に、またはこれらに代えてバーコードのような図形パターンで構成することもできる。

【0050】

次に、再配線2を形成した以降の製造工程を説明する。まず、図20に示すよ

うに、再配線 2 の上部に最終硬化後の膜厚が $5\ \mu\text{m}\sim 25\ \mu\text{m}$ 程度となるような感光性ポリイミド樹脂膜からなる最上層保護膜 12 を形成し、続いて再配線 2 の一端の上部の最上層保護膜 12 を除去することによって、バンプ・ランド 2A を露出させる。バンプ・ランド 2A を露出させるには、再配線 2 の一端の上部を除いた領域の感光性ポリイミド樹脂膜を露光して半硬化させ、続いて再配線 2 の一端の上部の非露光（未硬化）部分を現像により除去する。最上層保護膜 12 は、感光性ポリイミド樹脂に代えてソルダレジストを使用することもできる。

【0051】

次に、バンプ・ランド 2A の表面にアッシングなどの前処理を施して自然酸化膜や汚染物質を除去した後、図 21 に示すように、バンプ・ランド 2A の表面に無電解メッキ法を用いて膜厚 $20\ \text{nm}\sim 100\ \text{nm}$ 程度の Au メッキ層 13 を形成し、続いて図 22 に示すように、バンプ・ランド 2A の上部に外部接続端子となる直径 $200\ \mu\text{m}\sim 450\ \mu\text{m}$ 程度の半田バンプ 14 を形成する。半田バンプ 14 は、例えば 98.5% の Sn（錫）、1% の Ag（銀）および 0.5% の Cu からなる Pb（鉛）フリー半田（溶融温度 = $220^\circ\text{C}\sim 230^\circ\text{C}$ ）で構成する。なお、バンプ・ランド 2A の上部に半田バンプ 14 を形成する工程に先立ってウエハ 1 の裏面を研削し、ウエハ 1 の厚さをさらに薄くしてもよい。

【0052】

バンプ・ランド 2A の上部に半田バンプ 14 を形成するには、図 23 に示すように、ウエハ 1 の表面のバンプ・ランド 2A の配置に対応する開孔 30 が形成された半田印刷マスク 31 をウエハ 1 上に位置合わせして重ね、スキージ 32 によって半田ペースト 14A を印刷する。半田印刷マスク 31 とウエハ 1 との位置合わせには、前述したアライメントマーク 10 を使用する。再配線 2 と同時に形成されたアライメントマーク 10 は、再配線 2 の一端であるバンプ・ランド 2A との間に合わせずれがないことから、バンプ・ランド 2A とそれに対応する開孔 30 とを高精度に位置合わせすることができる。

【0053】

図 24 に示すように、印刷直後の半田ペースト 14A は、バンプ・ランド 2A よりも広い領域に平坦に印刷されている。その後、ウエハ 1 を 240°C 程度の温

度で加熱し、半田ペースト14Aをリフローさせることにより、前記図22に示すような球状の半田バンプ14となる。外部接続端子である半田バンプ14は、印刷法に代えてメッキ法で形成することもできる。また、あらかじめ球状に成形した半田ボールをバンプ・ランド2A上に供給し、その後、ウエハ1を加熱して半田ボールをリフローさせて外部接続端子としてもよい。

【0054】

その後、ウエハ1をバーンイン検査に付してチップ領域1Aの良否を判定した後、図25に示すように、ダイシングブレード40を使って各チップ領域1Aを個片のチップに切断、分離することにより、前記図1～図4に示したようなWL-CSP（半導体チップ1B）を得ることができる。このようにして得られたWL-CSPは、さらに必要に応じて性能、外観などの各種最終検査に付された後、トレー治具に収納されて出荷される。

【0055】

本実施の形態1によれば、以下のような効果が得られる。

- (1) 再配線を用いることにより、品種切替えをウエハ単位で容易に行うことができるため、ウエハレベルCSPの開発期間を短縮することができる。
- (2) 再配線を用いることにより、ビット構成や動作モードの選択といった複数の機能選択をウエハ単位で容易に容易に行うことができる。
- (3) 従って、顧客要求に対して迅速な対応ができる。
- (4) 見込み生産による在庫を低減できる。
- (5) (1)～(4)によりウエハレベルCSPの製造コストを低減できる。
- (6) 品種切替えにあたり、チップ毎に処理する必要がないため、この点からも開発期間の短縮や、顧客要求に対する迅速な対応ができる。
- (7) 再配線形成時に形成される位置合わせマークは再配線との位置ずれが無いため、位置精度のよいバンプ形成ができる。

【0056】

(実施の形態2)

図26は、本実施の形態2の半導体集積回路装置すなわちWL-CSPを製造するための製造工程のフロー図、図27は図26の製造フロー図に示す半導体ウ

エハ保管状態のウエハの要部断面図、図28から図34は品種確定後の有機パッシベーション層形成工程からバンプ形成工程までを示す要部断面図である。

【0057】

本実施の形態2では、図26の製造フロー図からも分かるように、ウエハ検査やプローブ検査の終わったウエハ1を保管（ストック）しておき、品種確定後に品種毎の再配線を選択形成し、その後ウエハを半導体チップに切断、分離してWL-CSPを形成するものであり、ウエハを保管（ストック）するまでの工程は、前記実施の形態1と実質的に同じである。図27は、ボンディングパッドBPの上部を除く最上層配線4の全面が表面保護膜3で覆われたウエハ1の要部断面を示す。このようなウエハ1をロット単位で多数枚保管しておき、品種およびその数量が確定したときに必要なロットを抜き出して以降の工程を開始する。

【0058】

まず、図28に示すように、ウエハ1の表面に、例えば回転塗布法で感光性ポリイミド樹脂膜5を形成した後、前記実施の形態1と同様の方法でボンディングパッドBPの上部の感光性ポリイミド樹脂膜5に開孔6Aを形成する。

【0059】

次に、図29に示すように、感光性ポリイミド樹脂膜5の上部に低弾性樹脂からなる膜厚75 μ m程度のエラストマー層15を印刷法で形成する。このエラストマー層15はボンディングパッドBP上部の感光性ポリイミド樹脂膜5の開孔6Aよりも大きな開孔6Bを有するように形成される。

【0060】

次に、図30に示すように、開孔6Bの底部に露出したボンディングパッドBPの表面を含むエラストマー層15の上部にメッキシード層7を形成し、続いて図31に示すように、メッキシード層7の上部に、再配線形成領域を開孔したフォトレジスト膜8を形成した後、図32に示すように、再配線形成領域のメッキシード層7の表面に電解メッキ法でメタル膜9を形成する。次に、フォトレジスト膜8を除去した後、その下部のメッキシード層7をウェットエッチングで除去することにより、図33に示すように、メタル膜9によって構成される再配線2が形成される。この時例えば実施の形態1の図15(a)～(d)に示す再配線

2の 패턴のような、品種に対応した再配線パターンを形成する。

【0061】

これにより、本実施の形態2においても、ウエハ段階で上記再配線2のパターン変更によって、同一のDRAMが形成されたウエハ1からビット構成や動作モードが異なる複数種類の品種を製造することができる。

【0062】

次に、図34に示すように、前記実施の形態1と同様の方法でバンプ・ランド2Aの表面に半田バンプ14を形成し、その後、各チップ領域1Aを個片のチップに切断、分離することにより、WL-CSP（半導体チップ1B）を得ることができる。

【0063】

本実施の形態2のWL-CSPは、最上層配線4と再配線2との間に低弾性樹脂からなるエラストマー層15を形成しているので、WL-CSPを実装基板に実装する時の熱応力や実装後の実使用時に発生する熱応力をエラストマー層15によって有効に緩和することができる。これにより、WL-CSPと実装基板との接続部（半田バンプ14）に加わる応力がより一層緩和され、半田バンプ14の接続寿命が向上する。

【0064】

また、上記エラストマー層15のような応力緩和層を持たない前記実施の形態1のWL-CSPでは、応力対策として実装基板との間に封止樹脂（アンダーフィル樹脂）を充填する工程が必要となるが、本実施の形態2のWL-CSPは、アンダーフィル樹脂充填工程を省略することができる。これにより、WL-CSPを実装基板に実装する工程が簡略化されると共に、実装基板に実装されたWL-CSPのリペアも容易になる。

【0065】

このような本実施の形態2における効果は次の通りである。

(1) 再配線を用いることにより、品種切替えをウエハ単位で容易に行うことができるため、ウエハレベルCSPの開発期間を短縮することができる。

(2) 再配線を用いることにより、複数の機能選択をウエハ単位で容易に容易に

行うことができる。

(3) 従って、顧客要求に対して迅速な対応ができる。

(4) 見込み生産による在庫を低減できる。

(5) (1)～(4)により製造コストを低減できる。

(6) 品種切替えにあたり、チップ毎に処理する必要があるため、この点からも開発期間の短縮や、顧客要求に対する迅速な対応ができる。

(7) WL-CSPを実装基板に実装する時の熱応力や実装後の実使用時に発生する熱応力をエラストマー層15によって緩和することができる。

(8) 実装時、アンダーフィル樹脂の充填工程を省略することができ、WL-CSPの実装工程を簡略化できる。

【0066】

(実施の形態3)

図35、図36および図37は本実施の形態3の半導体集積回路装置、すなわちWL-CSPを製造するための製造方法を示す製造フロー図である。これら図36、図37、図38に示す製造方法のそれぞれは、前記実施の形態1および2と同様、半導体ウエハを保管（ストック）しておき、品種確定後、品種に応じた再配線を形成するものであるが、前記実施の形態1および2とは異なり、有機パッシベーション層を半導体ウエハ保管前に形成しておくものである。

【0067】

このように有機パッシベーション層をあらかじめ形成しておくことにより、半導体ウエハ移送時および保管時の半導体ウエハへのダメージを低減できる。

【0068】

また、図36に示す製造方法は、品種確定後再配線を前記有機パッシベーション層上に形成する方法であり、品種確定後の製品完成までの工程をより低減できる。

【0069】

また、図37に示す製造方法は、品種確定後エラストマーを形成し、このエラストマー上に再配線を形成する方法であり、製品(WL-CSP)の実装時エラストマーによる応力緩和効果が得られる。

【 0 0 7 0 】

また、図 3 8 に示す製造方法は、品種確定後更に第二の有機パッシベーション層を形成し、この第二の有機パッシベーション上に再配線を形成するものであり、先に形成した有機パッシベーション層と後から形成した第二の有機パッシベーション層とでこれらの膜厚が厚くなり、製品実装時生ずる応力を緩和する効果が得られる。さらに、実装時の応力緩和をより確実にしたい場合は、前記第二の有機パッシベーション層上にエラストマー層を形成してからそれらの上に再配線を形成するようにしてもよい。

【 0 0 7 1 】

(実施の形態 4)

図 3 8 は、本実施の形態 4 の半導体集積回路装置、すなわち WL-CSP の断面図である。図 3 8 に示す WL-CSP は、半導体チップ 4 1 の一主面の周辺部に形成されたボンディングパッド 4 2 と半田バンプ 4 7 との間を再配線 4 4 で接続するものである。この再配線 4 4 は銅からなり、4 4 A、4 4 B の配線部と 4 4 C の銅のポスト（柱状体）からなる。このような構造においても、ウエハ段階でストックしておき、品種確定後品種に応じて異なるパターンの再配線を形成することによって、一種類の LSI が形成されたウエハから品種の異なる複数種類の WL-CSP を製造することができる。

【 0 0 7 2 】

(実施の形態 5)

図 3 9 は、本実施の形態 5 の半導体集積回路装置、すなわち WL-CSP の断面図である。図 3 9 に示す WL-CSP は、半導体チップ 4 1 の一主面に形成されたボンディングパッド（図示は省略）から半田バンプ 4 7 間を AL/NiV/Cu からなる再配線で接続する構造である。このような WL-CSP の製造方法においても、ウエハ段階でウエハをストックしておき、品種確定後品種に応じた再配線パターンを形成するものである。

【 0 0 7 3 】

(実施の形態 6)

図 4 0 は、本実施の形態 6 の半導体集積回路装置、すなわち WL-CSP の断

面図である。図40に示すWL-CSPは、半導体チップ41の一主面に形成されたボンディングパッド42から半田バンプ47間をALからなる再配線で接続する構造である。

【0074】

このような構造のWL-CSPを製造する場合においても、半導体ウエハの段階でストックしておき、品種確定後、品種に応じたパターンの前記ALからなる再配線を形成することにより、本発明の目的を達成できる。

【0075】

(実施の形態7)

図41は、本実施の形態7の半導体集積回路装置、すなわちWL-CSPの断面図である。図41に示すWL-CSPは、外部接続端子として半田バンプに代えてマイクロスプリング50を使用した構造である。この場合も品種確定後、品種に応じて異なるパターンの再配線44を形成することによって、一種類のLSIが形成されたウエハから品種の異なる複数のWL-CSPを製造することができる。

【0076】

前記実施の形態1～7では、再配線パターンの一部を変更することによって、ビット構成や動作モードなどの機能を選択する方法について説明したが、以下の実施の形態8～10では、再配線パターンを変更することによって、半導体集積回路装置の特性を選択する方法について説明する。

【0077】

(実施の形態8)

本実施の形態8では、再配線パターンを変更することによって、半導体集積回路装置の特性の一つである出力バッファのドライバビリティ（駆動力）を切り換える方法について説明する。

【0078】

DRAMやマイコンのような汎用LSIは、異なる外部負荷を有する多様な電子機器に搭載される。その際、LSIに形成された出力バッファのドライバビリティが外部負荷に対して最適化されていないと、ノイズや消費電力の増加を引き

起こすことがある。このようなノイズや消費電力の増加を防ぐためには、出力バッファのドライバビリティ、すなわち信号伝送線路の出力インピーダンス (Z_0) の大きさを外部負荷に応じて最適化することが有効である。

【0079】

出力バッファのドライバビリティを切り換える方法としては、例えばドライバビリティの異なる幾つかの I/O ドライブ回路をチップ内に用意しておき、チップを搭載する電子機器の負荷に応じてチップ内の A1 配線パターンを変更することによって、最適なドライバビリティを持つ I/O ドライブ回路を選択することが考えられる。しかし、この方法は、A1 配線パターンの異なる何種類かのウエハを用意しなければならないため、ウエハプロセス（前工程）が煩雑になるという不具合がある。

【0080】

最適なドライバビリティを持つ I/O ドライブ回路を選択する他の方法として、複数の I/O ドライブ回路のそれぞれにボンディングパッドを接続し、ボンディングワイヤの切り換えによって I/O ドライブ回路を選択する方法も考えられる。しかし、この方法は、ボンディングパッド数が増加するために、チップ内のボンディングパッドエリア面積増加するという不具合がある。

【0081】

また、チップを実装する基板側に抵抗値を可変にできる抵抗素子を設け、この抵抗素子に接続した専用のボンディングパッド（入力用ピン）から入力される抵抗値の大きさをチップ側で検出することによって、I/O ドライブ回路を選択する方法も考えられる。しかし、この方法は、チップ側に専用のボンディングパッド（入力用ピン）を設けたり、抵抗値の大きさを検出する回路を設けたりする必要があるという不具合や、基板側に抵抗素子を形成する必要があるので、実装基板の設計負担が増加するという不具合がある。

【0082】

このような不具合が生じることなく、最適なドライバビリティを持つ I/O ドライブ回路を選択する方法として、本実施の形態 8 では、ウエハ上に再配線を形成する際、そのパターンの一部を変更するという方法を用いる。以下、再配線パ

ターンの変更によって、I/Oドライブ回路の選択を行う方法の具体例を説明する。

【0083】

図42は、WL-CSP（半導体チップ）内に形成されたI/Oドライブ回路の一例を示している。このI/Oドライブ回路は、例えばドライバビリティの異なる3個の出力バッファを備えており、それらの出力（out1、out2、out3）は、Al合金配線を介してボンディングパッドBP（DQ1）、BP（DQ2）、BP（DQ3）に接続されている。このI/Oドライブ回路から出力されるドライバビリティの大きさは、例えば出力（out1）を1とした場合、出力（out2）はその2倍、出力（out3）は3倍である。

【0084】

図43は、上記ボンディングパッドBP（DQ1、DQ2、DQ3）および再配線2が形成された本実施の形態8のWL-CSPを示す半導体チップ1Bの平面図である。また、図44は、図43の一部を示す拡大図である。

【0085】

図44（a）～（c）に示すように、WL-CSPのドライバビリティを切り換えるには、DQピンを構成する半田バンプ14（外部接続端子）と上記ボンディングパッドBP（DQ1、DQ2、DQ3）のいずれかとを再配線2で電氣的に接続すればよい。例えば図44（a）のケースでは、DQピンを構成する半田バンプ14が再配線2を介してボンディングパッドBP（DQ1）に接続されている。この場合は、DQピンを構成する半田バンプ14がボンディングパッドBP（DQ1）を通じて出力（out1）に接続されるため、WL-CSPのドライバビリティは最小となる。また、同図（b）のケースでは、DQピン（半田バンプ14）が再配線2を介してボンディングパッドBP（DQ2）に接続されている。この場合は、DQピン（半田バンプ14）がボンディングパッドBP（DQ2）を通じて出力（out2）に接続されるため、WL-CSPのドライバビリティは、同図（a）のケースの2倍となる。また、同図（c）のケースでは、DQピン（半田バンプ14）が再配線2を介してボンディングパッドBP（DQ3）に接続されている。この場合は、DQピン（半田バンプ14）がボンディン

グパッドBP (DQ3) を通じて出力 (out3) に接続されるため、WL-CSPのドライバビリティは、同図 (a) のケースの3倍となる。

【0086】

図45は、I/Oドライブ回路の他の例を示している。このI/Oドライブ回路は、例えばドライバビリティの等しい3個の出力バッファを並列に接続したもので、その出力 (out) にはA1合金配線を介して1個のボンディングパッドBP (DQ) が接続されている。また、3個の出力バッファのうちの1個にはスイッチAが、他の1個にはスイッチBが接続されている。スイッチA、Bのそれぞれは、例えば1個のnチャネル型MOSトランジスタで構成されている。そして、スイッチAを構成するnチャネル型MOSトランジスタのゲート電極には、A1合金配線を介してボンディングパッドBP (A) が接続され、スイッチBを構成するnチャネル型MOSトランジスタのゲート電極には、A1合金配線を介してボンディングパッドBP (B) が接続されている。

【0087】

ここで、ボンディングパッドBP (A) を通じてスイッチAにハイレベル (V_{dd}) を入力すると、nチャネル型MOSトランジスタがONになり、ローレベル (V_{ss}) を入力するとOffになる。同様に、ボンディングパッドBP (B) を通じてスイッチBにハイレベル (V_{dd}) を入力すると、nチャネル型MOSトランジスタがONになり、ローレベル (V_{ss}) を入力するとOffになる。従って、スイッチA、BがいずれもOffの場合は、3個の出力バッファのうち、スイッチA、Bが接続されていない1個の出力バッファのみからボンディングパッドBP (DQ) に出力されるため、WL-CSPのドライバビリティは最小となる。また、スイッチA、Bのいずれか一方がONで他方がOffの場合は、2個の出力バッファからボンディングパッドBP (DQ) に出力されるため、WL-CSPのドライバビリティは、スイッチA、BがいずれもOffの場合の2倍となる。また、スイッチA、BがいずれもONの場合は、3個の出力バッファからボンディングパッドBP (DQ) に出力されるため、WL-CSPのドライバビリティは、スイッチA、BがいずれもOffの場合の3倍となる。

【0088】

WL-CSPのドライバビリティを切り換えるには、スイッチAに接続されたボンディングパッドBP(A)およびスイッチBに接続されたボンディングパッドBP(B)のそれぞれに再配線2を使ってハイレベル(V_{dd})またはローレベル(V_{ss})のいずれかを入力する。例えばスイッチAをONにするには、図46(a)に示すように、スイッチAに接続されたボンディングパッドBP(A)と電源電圧(V_{dd})用のボンディングパッドBP(V_{dd})とを再配線2で接続する。また、スイッチAをOffにするには、図46(b)に示すように、スイッチAに接続されたボンディングパッドBP(A)と基準電圧(V_{ss})用のボンディングパッドBP(V_{ss})とを再配線2で接続する。

【0089】

例えば図46(c)に示すように、スイッチAに接続されたボンディングパッドBP(A)と電源電圧(V_{dd})用のボンディングパッドBP(V_{dd})との間に別の信号用ボンディングパッドBPがあるような場合、スイッチAをONにするには、ボンディングパッドBP(V_{dd})に接続される他の再配線2を分岐してボンディングパッドBP(A)に接続すればよい。

【0090】

図示は省略するが、同様に、スイッチBをONにするには、スイッチBに接続されたボンディングパッドBP(B)と電源電圧(V_{dd})用のボンディングパッドBP(V_{dd})とを再配線2で接続する。また、スイッチBをOffにするには、スイッチBに接続されたボンディングパッドBP(B)と基準電圧(V_{ss})用のボンディングパッドBP(V_{ss})とを再配線2で接続する。

【0091】

上記の例では、出力バッファのドライバビリティを3段階に切り換えたが、ドライバビリティを4段階以上に切り換えることができることは勿論である。例えば、図47に示すI/Oドライブ回路は、図42に示したI/Oドライブ回路と図45に示したI/Oドライブ回路とを組み合わせたものである。すなわち、このI/Oドライブ回路は、ドライバビリティの異なる3個の出力バッファにスイッチA、B、Cを接続している。そのため、再配線2を使って3個のスイッチA、B、CのON/Offを切り換えることによって、出力バッファのドライバビ

リティを1倍から6倍の範囲で6段階に切り換えることができる。例えば、図48(a)に示す例では、スイッチAに接続されたボンディングパッドBP(A)が再配線2を介して電源電圧(V_{dd})用のボンディングパッドBP(V_{dd})に接続され、スイッチBに接続されたボンディングパッドBP(B)およびスイッチCに接続されたボンディングパッドBP(C)が他の再配線2を介して基準電圧(V_{ss})用のボンディングパッドBP(V_{ss})に接続されている。この場合は、スイッチAがON、スイッチB、CがOffとなるため、スイッチAが接続された最小のドライバビリティを有する出力バッファのみからボンディングパッドBP(DQ)に出力される。従って、WL-CSPのドライバビリティは最小となる。一方、図48(b)に示す例のように、再配線2を介して3個のボンディングパッドBP(A、B、C)を電源電圧(V_{dd})用のボンディングパッドBP(V_{dd})に接続した場合は、3個のスイッチA、B、CがすべてONとなる。この場合は、3個の出力バッファからボンディングパッドBP(DQ)に出力されるので、WL-CSPのドライバビリティは最大となる。

【0092】

上記の例では、1個のnチャネル型MOSトランジスタでスイッチを構成したが、例えば1個のpチャネル型MOSトランジスタやCMOS回路など、ハイレベル/ローレベルの信号入力によってON/Offが切り換わる任意の素子や回路をスイッチとして使用することができる。

【0093】

このように、本実施の形態によれば、再配線2のパターンを変更するだけで出力バッファのドライバビリティを容易に切り換えることができる。

【0094】

(実施の形態9)

前記実施の形態8では、再配線パターンを変更することによって、出力バッファのドライバビリティを切り換える方法について説明したが、本実施の形態9では、出力バッファの電圧(I/O電圧)を切り換える方法について説明する。

【0095】

LSIから出力される信号の電圧が外部負荷に対して最適化されていないと、

信号伝送線路に不要な電圧振幅が発生し、ノイズや消費電力の増加を引き起こすことがある。また、電圧振幅が大きいと、回路の高速動作を妨げる原因にもなる。このようなノイズや消費電力の増加を防いだり、高速動作を実現したりするためには、LSIの動作電圧、すなわちI/O電圧を外部負荷に応じて最適化することによって、出力信号の電圧振幅を小さくすることが有効である。

【0096】

本実施の形態9では、最適なI/O電圧を選択する方法として、ウエハ上に再配線を形成する際、そのパターンを変更するという方法を用いる。以下、再配線パターンの変更によって、動作電圧を切り換える方法の具体例を説明する。

【0097】

図49は、WL-CSP内に形成されたI/O電圧振幅可変回路のブロック図である。このI/O電圧振幅可変回路は、I/Oドライブ回路とそれに接続された内部降圧回路とで構成されている。I/Oドライブ回路には、Al合金配線を介してボンディングパッドBP(DQ)が接続されており、内部降圧回路には、Al合金配線を介してボンディングパッドBP1が接続されている。

【0098】

図50は、上記内部降圧回路の構成の一例を示すブロック図である。この内部降圧回路は、例えばCMOSゲートなどで構成された論理回路、nチャネル型MOSトランジスタで構成されたスイッチ(a、b、c)、および抵抗素子(R1、R2、R3)によって構成されている。論理回路には、ボンディングパッドBP1を通じてハイレベル(Vdd)またはローレベル(Vss)の電圧が入力されるか、何も入力されない。そして、図51の論理図に示すように、上記3つの状態に応じて論理回路の出力(A、B、C)からハイレベルまたはローレベルの電圧が出力される。

【0099】

一方、電源電圧(vddq)と基準電圧(vss)との間には3つの抵抗素子(R1、R2、R3)が直列に接続され、これらの抵抗素子(R1、R2、R3)によって分圧された電圧がvddq、vddq1およびvddq2として生成される。例えばvddq=3.3V、R1=100kΩ、R2=87.5kΩ、

$R3 = 225\text{ k}\Omega$ とすると、 $vddq1 = 2.5\text{ V}$ 、 $vddq2 = 1.8\text{ V}$ という電圧が得られる。

【0100】

また、これらの抵抗素子 ($R1$ 、 $R2$ 、 $R3$) にはスイッチ (a 、 b 、 c) が接続されており、論理回路の出力 (A 、 B 、 C) の電圧レベル (ハイまたはロー) に応じてスイッチ (a 、 b 、 c) がON/OFFされるようになっている。そして、これらのスイッチ (a 、 b 、 c) のON/OFFの組み合わせによって、上記3種類の電圧 ($vddq$ 、 $vddq1$ 、 $vddq2$) のいずれかが最終的な電圧 ($VCL-out$) として出力され、I/Oドライブ回路のI/O電圧が決定される。

【0101】

図52は、上記ボンディングパッドBP1および再配線2が形成された本実施の形態9のWL-CSPを示す半導体チップ1Bの平面図である。また、図53は、図52の一部を示す拡大図である。

【0102】

WL-CSPのI/O電圧を切り換えるには、電源電圧 (Vdd) 用のボンディングパッドBP (Vdd) または基準電圧 (Vdd) 用のボンディングパッドBP (Vss) と、前記論理回路に接続されたボンディングパッドBP1とを再配線2で接続するか、または非接続とする。

【0103】

例えば図53 (a) に示すように、ボンディングパッドBP1を非接続にした場合 (入力無し) は、図51に示す論理図から、内部降圧回路の3個のスイッチ (a 、 b 、 c) のうち、スイッチ a のみがONとなり、 $vddq = 3.3\text{ V}$ が出力電圧 ($VCL-out$) となるため、I/Oドライブ回路のI/O電圧は最大の 3.3 V となる。また、図53 (b) に示すように、ボンディングパッドBP1に再配線2を介してボンディングパッドBP (Vdd) を接続した場合 (ハイレベル) は、内部降圧回路のスイッチ b のみがONとなり、 $vddq1 = 2.5\text{ V}$ が出力電圧 ($VCL-out$) となるため、I/Oドライブ回路のI/O電圧は $vddq2 = 2.5\text{ V}$ となる。また、図53 (c) に示すように、ボンディン

グパッドBP1に再配線2を介してボンディングパッドBP (Vss) を接続した場合 (ロウレベル) は、スイッチcのみがONとなり、 $v_{ddq1} = 1.8V$ が出力電圧 (VCL-out) となるため、I/O電圧は1.8Vとなる。

【0104】

このように、ボンディングパッドBP1に接続される再配線2のパターンを変更することにより、WL-CSPから出力される信号の電圧を外部負荷に対して最適化することができる。これにより、信号伝送線路の電圧振幅を小さくすることができるので、ノイズや消費電力を低減したり、高速動作を実現したりすることが可能になる。なお、この例では、I/O電圧を3段階に切り換えたが、4段階以上に切り換えることができることは勿論である。また、スイッチとしては、ハイレベル/ローレベルの信号入力によってON/Offが切り換わる任意の素子や回路を使用することができる。

【0105】

本実施の形態によれば、再配線2のパターンを変更するだけで出力バッファの出力バッファのI/O電圧を容易に切り換えることができる。

【0106】

(実施の形態10)

本実施の形態10では、再配線パターンを変更することによって、出力バッファのスルーレートを切り換える方法について説明する。

【0107】

一般に、LSIから出力される信号のパルス波は、その電圧波形が滑らかになる程、すなわち電圧波形の傾きが大きくなる程、信号の遅延 (ディレイ) が大きくなる反面、ノイズは低減される。従って、動作速度よりもノイズの低減を優先したい場合は、信号の電圧波形の傾き (スルーレート) を大きくすることが望ましく、他方、ノイズが無視できる場合は、スルーレートを小さくして動作速度を向上させることが望ましい。

【0108】

本実施の形態10では、最適なスルーレートを選択する方法として、ウエハ上に再配線を形成する際、そのパターンを変更するという方法を用いる。以下、再

配線パターンの変更によって、スルーレートを切り換える方法の具体例を説明する。

【0109】

図54は、WL-CSP内に形成されたスルーレート可変回路のブロック図である。このスルーレート可変回路は、スルーレートが異なる3個のI/Oドライブ回路(A、B、C)によって構成されている。I/Oドライブ回路(A、B、C)の出力(out1、out2、out3)は、Al合金配線を介してボンディングパッドBP(DQ1)、BP(DQ2)、BP(DQ3)に接続されている。

【0110】

図55に示すように、3個のI/Oドライブ回路(A、B、C)のそれぞれは、プリバッファ回路と最終段バッファ回路とによって構成されている。プリバッファ回路は、例えば図56に示すような回路で構成され、最終段バッファ回路は、例えば図57に示すような回路で構成されている。プリバッファ回路のD端子は信号入力端子、ENは最終段バッファ回路の出力をON/OFFするイネーブル端子である。

【0111】

図58は、I/Oドライブ回路(A、B、C)に形成された上記nチャネル型MOSトランジスタ(MN1、MN2)およびpチャネル型MOSトランジスタ(MP1、MP2)のW/L比(W=ゲート長、L=ゲート幅)を示している。図示のように、I/Oドライブ回路BのMOSトランジスタ(MN1、MN2、MP1、MP2)は、I/Oドライブ回路AのMOSトランジスタ(MN1、MN2、MP1、MP2)に比べてW/L比が半分である。また、I/Oドライブ回路CのMOSトランジスタ(MN1、MN2、MP1、MP2)は、I/Oドライブ回路AのMOSトランジスタ(MN1、MN2、MP1、MP2)に比べてW/L比が3分の1である。MOSトランジスタのドライバビリティは、W/L比に比例するため、I/Oドライブ回路CのMOSトランジスタ(MN1、MN2、MP1、MP2)のドライバビリティを1とした場合、I/Oドライブ回路BのMOSトランジスタ(MN1、MN2、MP1、MP2)のドライバビリ

ティはその2倍、I/Oドライブ回路AのMOSトランジスタ(MN1、MN2、MP1、MP2)のドライバビリティは3倍である。従って、プリバッファ回路の3つの出力(P1、P2、P3)間のタイミングのずれは、I/Oドライブ回路A、B、Cの順に大きくなる。同様に、プリバッファ回路の3つの出力(N1、N2、N3)間のタイミングのずれも、I/Oドライブ回路A、B、Cの順に大きくなる。

【0112】

前記図57に示した最終段バッファ回路は、前段、中段および後段のCMOSトランジスタを並列に接続した回路で構成されており、これら3段のCMOSトランジスタをONにするタイミングの差によって、出力される信号の電圧波形の傾き(スルーレート)が変化する。前述したように、プリバッファ回路の出力間のタイミングのずれは、I/Oドライブ回路Aのそれを1とした場合、I/Oドライブ回路Bはその2倍、I/Oドライブ回路Cは3倍である。従って、I/Oドライブ回路Aのスルーレートを1とした場合、I/Oドライブ回路Bのスルーレートはその2倍、I/Oドライブ回路Cのスルーレートは3倍となる。

【0113】

図59は、上記I/Oドライブ回路(A、B、C)の出力(out1、out2、out3)に接続されたボンディングパッドBP(DQ1)、BP(DQ2)、BP(DQ3)および再配線2が形成された本実施の形態10のWL-CSPを示す半導体チップ1Bの平面図である。また、図60は、図59の一部を示す拡大図である。

【0114】

図60(a)～(c)に示すように、WL-CSPから出力される信号の電圧波形の傾き(スルーレート)を切り換えるには、DQピンを構成する半田バンプ14(外部接続端子)と上記ボンディングパッドBP(DQ1、DQ2、DQ3)のいずれかとを再配線2で電氣的に接続すればよい。例えば図60(a)のケースでは、DQピンを構成する半田バンプ14が再配線2を介してボンディングパッドBP(DQ1)に接続されている。この場合は、DQピンを構成する半田バンプ14がボンディングパッドBP(DQ1)を通じてI/Oドライブ回路A

の出力 (o u t 1) に接続されるため、W L - C S P のスルーレートは最小となる。また、同図 (b) のケースでは、D Q ピン (半田バンプ 1 4) が再配線 2 を介してボンディングパッド B P (D Q 2) に接続されている。この場合は、D Q ピン (半田バンプ 1 4) がボンディングパッド B P (D Q 2) を通じて I / O ドライブ回路 B の出力 (o u t 2) に接続されるため、W L - C S P のスルーレートは、同図 (a) のケースの 2 倍となる。また、同図 (c) のケースでは、D Q ピン (半田バンプ 1 4) が再配線 2 を介してボンディングパッド B P (D Q 3) に接続されている。この場合は、D Q ピン (半田バンプ 1 4) がボンディングパッド B P (D Q 3) を通じて I / O ドライブ回路 C の出力 (o u t 3) に接続されるため、W L - C S P のスルーレートは、同図 (a) のケースの 3 倍となる。

【 0 1 1 5 】

図 6 1 は、スルーレート可変回路の他の例を示している。このスルーレート可変回路は、1 個の出力バッファとその入力側に接続されたスルーレートコントロールスイッチ回路とで構成されている。スルーレートコントロールスイッチ回路には、ボンディングパッド B P 1 を通じてハイレベル (V d d) またはローレベル (V s s) の電圧が入力されるか、何も入力されない。そして、上記 3 つの状態に応じてから出力バッファからスルーレートの異なる信号が出力される。

【 0 1 1 6 】

図 6 2 (a) に示すように、上記スルーレートコントロールスイッチ回路は、論理回路と、n チャネル型 M O S トランジスタで構成された 3 個のスイッチ (a、b、c) と、W / L 比が等しい 3 個の n チャネル型 M O S トランジスタとで構成されている。論理回路には、ボンディングパッド B P 1 を通じてハイレベル (V d d) またはローレベル (V s s) の電圧が入力されるか、何も入力されない。そして、図 6 3 の論理図に示すように、上記 3 つの状態に応じて論理回路の出力 (A、B、C) からハイレベルまたはローレベルの電圧が出力され、3 個のスイッチ (a、b、c) の O N / O f f が切り換えられることによって、出力信号のスルーレートが 1 倍、2 倍または 3 倍のいずれかとなる。

【 0 1 1 7 】

図 6 2 (b) に示すように、上記スルーレートコントロールスイッチ回路は、論理回路と、pチャネル型MOSトランジスタで構成されたスイッチ(a、b、c)と、W/L比が等しいpチャネル型MOSトランジスタとで構成してもよい。また、図 6 2 (a) に示した回路と図 6 2 (b) に示した回路とを組み合わせてもよい。

【 0 1 1 8 】

この例では、WL-CSPのスルーレートを切り換えるには、電源電圧(V_{dd})用のボンディングパッドBP(V_{dd})または基準電圧(V_{dd})用のボンディングパッドBP(V_{ss})と、前記論理回路に接続されたボンディングパッドBP1とを再配線2で接続するか、または非接続とする。

【 0 1 1 9 】

例えば図 6 4 (a) に示すように、ボンディングパッドBP1を非接続にした場合(入力無し)は、図 6 3 に示す論理図から、スルーレートコントロールスイッチ回路の3個のスイッチ(a、b、c)のうち、スイッチaのみがONとなるので、出力信号のスルーレートは最小(1倍)となる。また、図 6 4 (b) に示すように、ボンディングパッドBP1に再配線2を介してボンディングパッドBP(V_{dd})を接続した場合(ハイレベル)は、スルーレートコントロールスイッチ回路の3個のスイッチ(a、b、c)のうち、スイッチbのみがONとなるので、出力信号のスルーレートは2倍となる。また、同図(c)に示すように、ボンディングパッドBP1に再配線2を介してボンディングパッドBP(V_{ss})を接続した場合(ローレベル)は、スルーレートコントロールスイッチ回路の3個のスイッチ(a、b、c)のうち、スイッチcのみがONとなるので、出力信号のスルーレートは最大(3倍)となる。

【 0 1 2 0 】

このように、ボンディングパッドBP1に接続される再配線2のパターンを変更することにより、WL-CSPから出力される信号のスルーレートを変えることができるので、出力信号のノイズを低減することができる。なお、この例では、スルーレートを3段階に切り換えたが、4段階以上に切り換えることができることは勿論である。また、スイッチとしては、ハイレベル/ローレベルの信号入

力によってON/O f f が切り換わる任意の素子や回路を使用することができる。

【 0 1 2 1 】

本実施の形態によれば、再配線 2 のパターンを変更するだけで出力バッファのスルーレートを容易に切り換えることができる。

【 0 1 2 2 】

以上、本発明者によってなされた発明を実施の形態 1 から実施の形態 1 0 に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 0 1 2 3 】

例えば、ウエハ検査やプローブ検査をウエハ保管（ストック）前には行わずに、品種確定後の再配線形成前に行ってもよい。この場合、品種確定後ウエハ 1 の表面を覆っている表面保護膜 3 を選択的にエッチングして最上層配線 4 の一部であるボンディングパッド B P を露出させ、続いて、ボンディングパッド B P にプローブを当てて各チップ領域 1 A の良、不良を判別する試験（ウエハ検査およびプローブ検査）を行う。このように、品種が確定してからボンディングパッド B P を露出してウエハ検査およびプローブ検査を行うことにより、ウエハ 1 の保管中にボンディングパッド B P の表面に自然酸化膜が形成されたり、異物が付着する不具合を防止することができる。

【 0 1 2 4 】

また、実施の形態 1 ではセンターパッドの W L - C S P で説明したが、周辺にパッドがある周辺パッドタイプの W L - C S P にも適用できる。

【 0 1 2 5 】

また、D R A M 以外にも、S R A M、E E P R O M、フラッシュメモリ、不揮発性記憶素子を用いたプログラマブルロジックアレイなどの各種メモリ、そしてマイクロコンピューターやマイクロプロセッサなどの種々の論理 L S I にも適用することができる。

【 0 1 2 6 】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

(1) 半導体集積回路装置の特性選択または機能選択をウエハ単位で容易に行うことができる。特に、複数の機能の一つを選択したり、複数の特性の一つを選択したりすることが容易にできる。

(2) 再配線による品種切替えをウエハ単位で行うことができるため、ウエハレベルCSPの開発期間を短縮することができる。

(3) 従って、顧客要求に対して迅速な対応ができる。

(4) 見込み生産による在庫を低減できる。

(5) (1)～(4)により製造コストを低減できる。

(6) 品種切替えにあたり、チップ毎に処理する必要がないため、この点からも開発期間の短縮や、顧客要求に対する迅速な対応ができる。

(7) 再配線形成時に形成される位置合わせマークは再配線との位置ずれが無いため、位置精度のよいパンプ形成ができる。

【図面の簡単な説明】

【図 1】

本発明の一実施の形態である半導体集積回路装置の完成状態を示す斜視図である。

【図 2】

図 1 の半導体集積回路装置の再配線（再配線層）およびボンディングパッドを示す斜視図である。

【図 3】

図 2 の要部拡大平面図である。

【図 4】

図 3 の A - A 線に沿った断面図である。

【図 5】

図 1 から図 4 に示す半導体集積回路装置の製造工程の一例を示す製造フロー図である。

【図 6】

主面に集積回路素子が形成された再配線形成前の半導体ウエハの平面図である。

【図 7】

図 6 に示す半導体ウエハのチップ領域を示す平面図である。

【図 8】

図 7 に示すチップ領域の要部断面図である。

【図 9】

半導体ウエハ上に層間絶縁膜を形成した状態を示すチップ領域の要部断面図である。

【図 1 0】

半導体ウエハ上に層間絶縁膜を形成した状態を示すチップ領域の平面図である。

【図 1 1】

再配線形成工程を示すチップ領域の要部断面図である。

【図 1 2】

再配線形成工程を示すチップ領域の要部断面図である。

【図 1 3】

再配線形成工程を示すチップ領域の要部断面図である。

【図 1 4】

再配線形成工程を示すチップ領域の平面図である。

【図 1 5】

(a) ～ (d) は、再配線による機能選択用ボンディングパッドとバンプランドとの接続状態を示す平面図である。

【図 1 6】

図 1 5 (a) ～ (d) に対応する機能の説明図である。

【図 1 7】

機能選択用ボンディングパッドに接続された入力回路を示すブロック図である。

【図 1 8】

(a)、(b)は、機能選択用ボンディングパッドとバンブランドとの接続を入れ替えた例を示す平面図である。

【図 1 9】

再配線と同じ配線材料で形成された認識マークおよび製品名を示す平面図である。

【図 2 0】

半田バンプ形成工程を示すチップ領域の要部断面図である。

【図 2 1】

半田バンプ形成工程を示すチップ領域の要部断面図である。

【図 2 2】

半田バンプ形成工程を示すチップ領域の要部断面図である。

【図 2 3】

半田印刷法を用いた半田バンプの形成方法を示す斜視図である。

【図 2 4】

半田バンプ形成工程を示すチップ領域の要部断面図である。

【図 2 5】

半導体ウエハのダイシング工程を示す斜視図である。

【図 2 6】

本発明の他の実施の形態である半導体集積回路装置の製造工程を示すフロー図である。

【図 2 7】

再配線形成工程を示すチップ領域の要部断面図である。

【図 2 8】

再配線形成工程を示すチップ領域の要部断面図である。

【図 2 9】

再配線形成工程を示すチップ領域の要部断面図である。

【図 3 0】

再配線形成工程を示すチップ領域の要部断面図である。

【図 3 1】

再配線形成工程を示すチップ領域の要部断面図である。

【図 3 2】

再配線形成工程を示すチップ領域の要部断面図である。

【図 3 3】

再配線形成工程を示すチップ領域の要部断面図である。

【図 3 4】

半田バンプ形成工程を示すチップ領域の要部断面図である。

【図 3 5】

本発明の他の実施の形態である半導体集積回路装置の製造工程を示すフロー図である。

【図 3 6】

本発明の他の実施の形態である半導体集積回路装置の製造工程を示すフロー図である。

【図 3 7】

本発明の他の実施の形態である半導体集積回路装置の製造工程を示すフロー図である。

【図 3 8】

本発明の他の実施の形態である半導体集積回路装置の製造方法を示す断面図である。

【図 3 9】

本発明の他の実施の形態である半導体集積回路装置の製造方法を示す断面図である。

【図 4 0】

本発明の他の実施の形態である半導体集積回路装置の製造方法を示す断面図である。

【図 4 1】

本発明の他の実施の形態である半導体集積回路装置の製造方法を示す断面図である。

【図 4 2】

I/Oドライブ回路の一例を示す概略図である。

【図 4 3】

本発明の他の実施の形態である半導体集積回路装置を示す半導体チップの平面図である。

【図 4 4】

(a) ~ (c) は、I/Oドライブ回路の選択方法を示す平面図である。

【図 4 5】

I/Oドライブ回路の別例を示す概略図である。

【図 4 6】

(a) ~ (c) は、ドライバビリティの選択方法を示す平面図である。

【図 4 7】

I/Oドライブ回路の別例を示す概略図である。

【図 4 8】

(a)、(b) は、I/Oドライブ回路の選択方法を示す平面図である。

【図 4 9】

I/O電圧可変回路を示す概略図である。

【図 5 0】

図 4 9 に示す I/O電圧可変回路の内部降圧回路を示す概略図である。

【図 5 1】

論理回路の動作を示す論理図である。

【図 5 2】

本発明の他の実施の形態である半導体集積回路装置を示す半導体チップの平面図である。

【図 5 3】

(a) ~ (c) は、I/O電圧の選択方法を示す平面図である。

【図 5 4】

スルーレート可変回路の一例を示す概略図である。

【図 5 5】

図 5 4 に示すスルーレート可変回路内の I/Oドライブ回路を示す概略図であ

る。

【図 56】

図 55 に示す I/O ドライブ回路のプリバッファ回路図である。

【図 57】

図 55 に示す I/O ドライブ回路の最終段バッファ回路図である。

【図 58】

スルーレートの説明図である。

【図 59】

本発明の他の実施の形態である半導体集積回路装置を示す半導体チップの平面図である。

【図 60】

(a) ~ (c) は、スルーレートの選択方法を示す平面図である。

【図 61】

スルーレート可変回路の別例を示す概略図である。

【図 62】

(a)、(b) は、図 61 に示すスルーレート可変回路のスルーレートコントロールスイッチ回路を示すブロック図である。

【図 63】

論理回路の動作を示す論理図である。

【図 64】

(a) ~ (c) は、スルーレートの選択方法を示す平面図である。

【符号の説明】

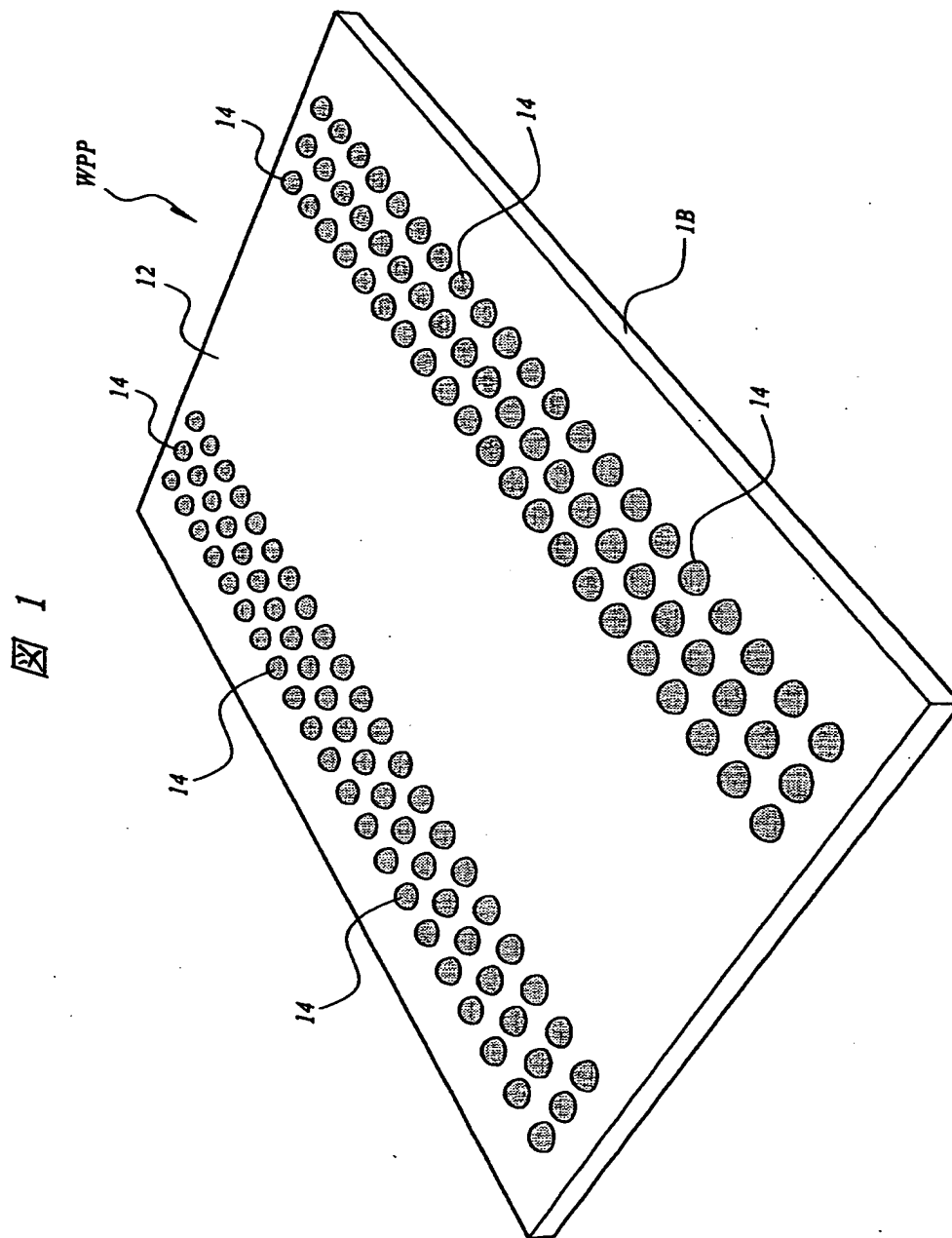
- 1 半導体ウエハ
- 1A チップ領域
- 1B 半導体チップ
- 2 再配線
- 2A バンプランド
- 3 表面保護膜（パッシベーション膜）
- 4 最上層配線

- 5 感光性ポリイミド樹脂膜（有機パッシベーション膜）
- 6 開孔
 - 6 A 有機パッシベーション膜の開孔
 - 6 B エラストマー層の開孔
- 7 メッキシード層
- 8 フォトレジスト膜
- 9 メタル膜
- 1 0 アライメントマーク
- 1 1 製品名
- 1 2 最上層保護膜
- 1 3 Auメッキ層
- 1 4 半田バンプ
 - 1 4 A 半田ペースト
- 2 0、2 1 入力保護回路および初段入力回路
- 2 2 ボンディングオプション判定回路
- 3 0 開孔
 - 3 1 半田印刷マスク
 - 3 2 スキージ
- 4 0 ダイシングブレード
 - 4 1 チップ
 - 4 2 電極（ボンディングパッド）
 - 4 3 保護膜
 - 4 3 A 窒化シリコン膜
 - 4 3 B ポリイミド層
 - 4 3 C 酸化シリコン膜
 - 4 4 再配線（層）
 - 4 4 A 銅層
 - 4 4 B 銅層
 - 4 4 C 銅ポスト

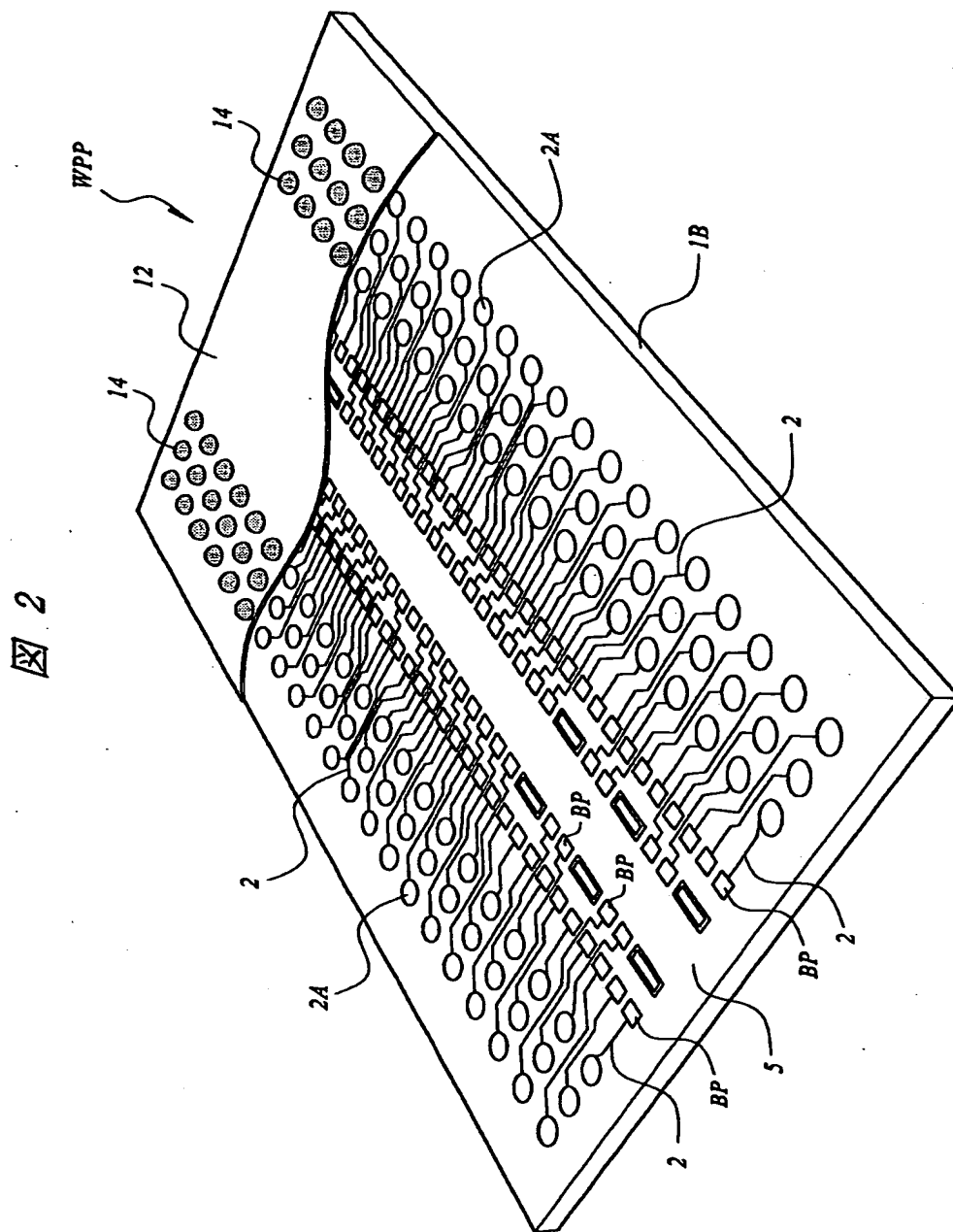
- 4 5 保護絶縁膜
- 4 6 バリヤメタル
- 4 7 半田バンプ
- 5 0 メタルワイヤ

【書類名】 図面

【図1】

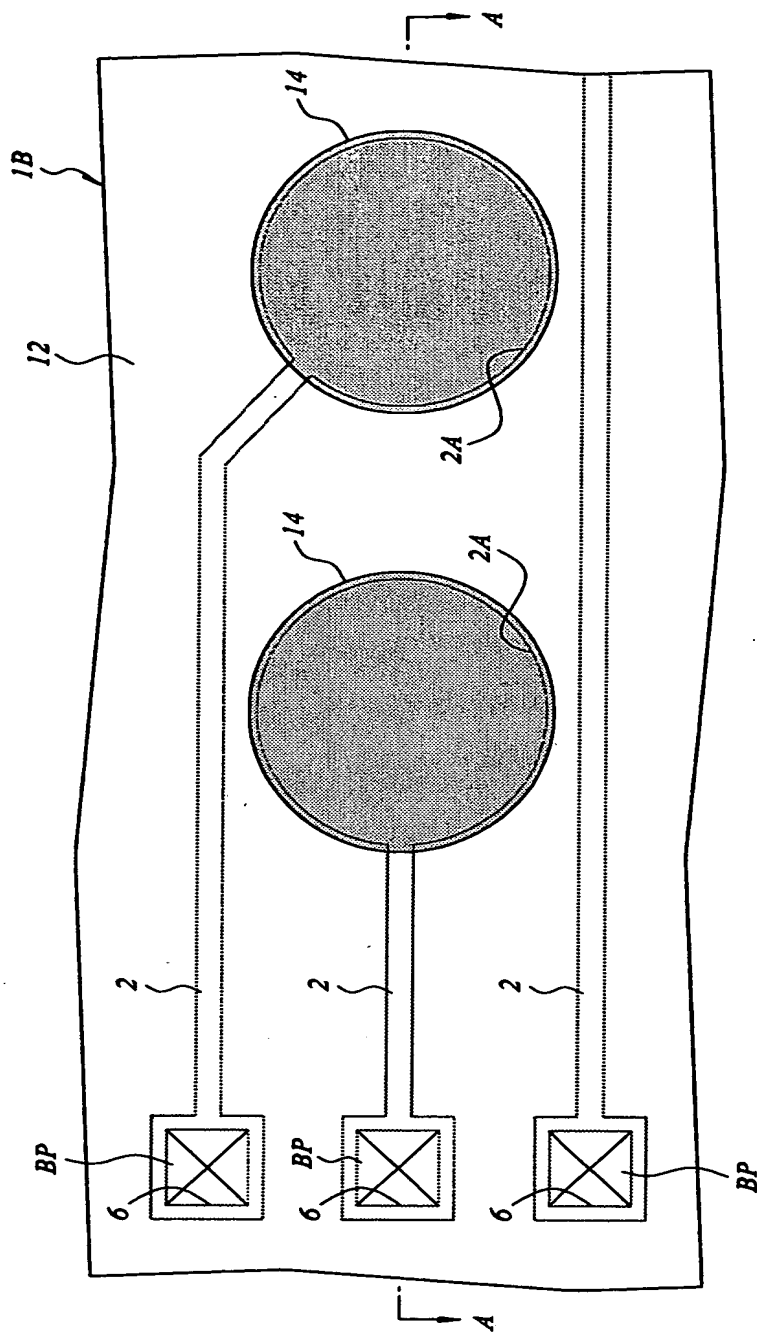


【図 2】



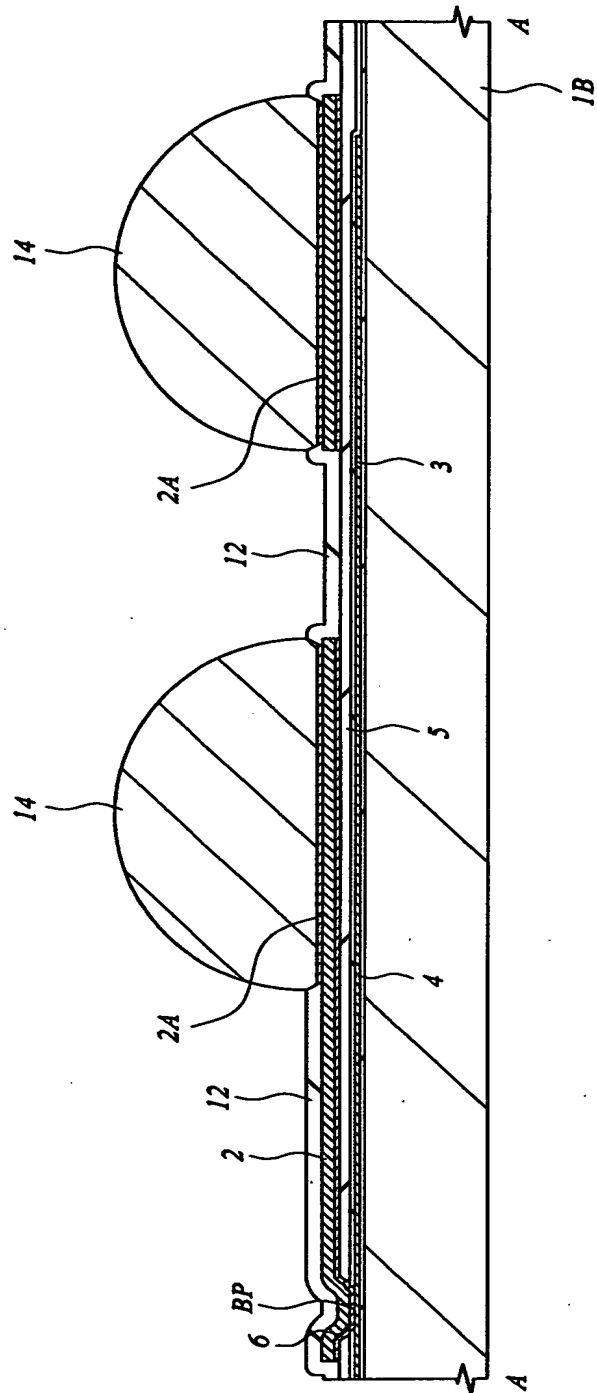
【図3】

図 3



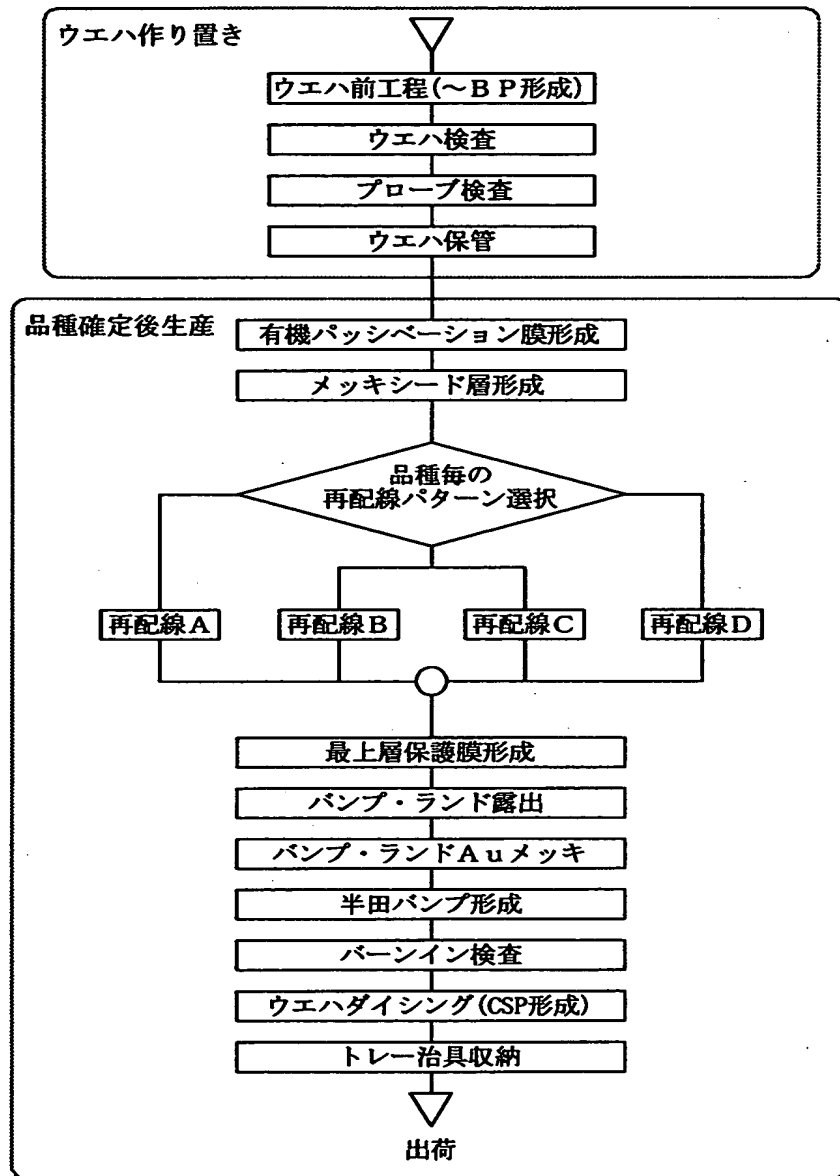
【図4】

図 4



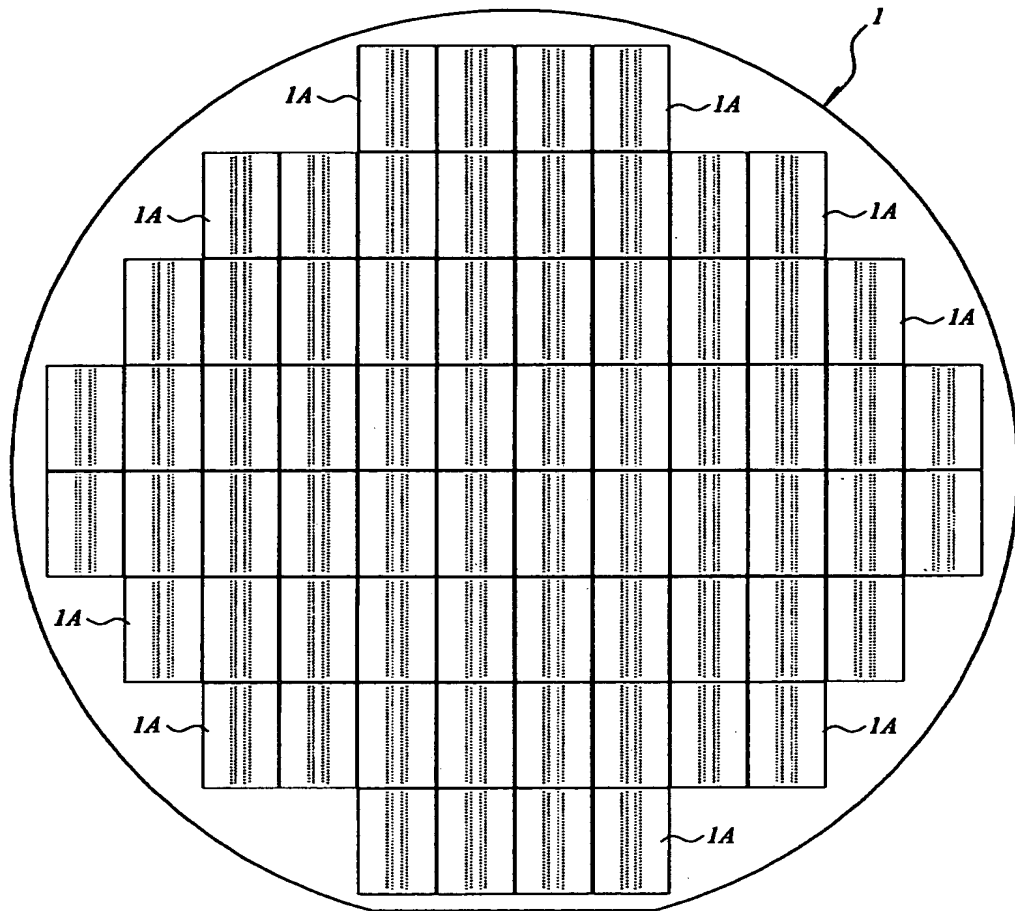
【図 5】

図 5

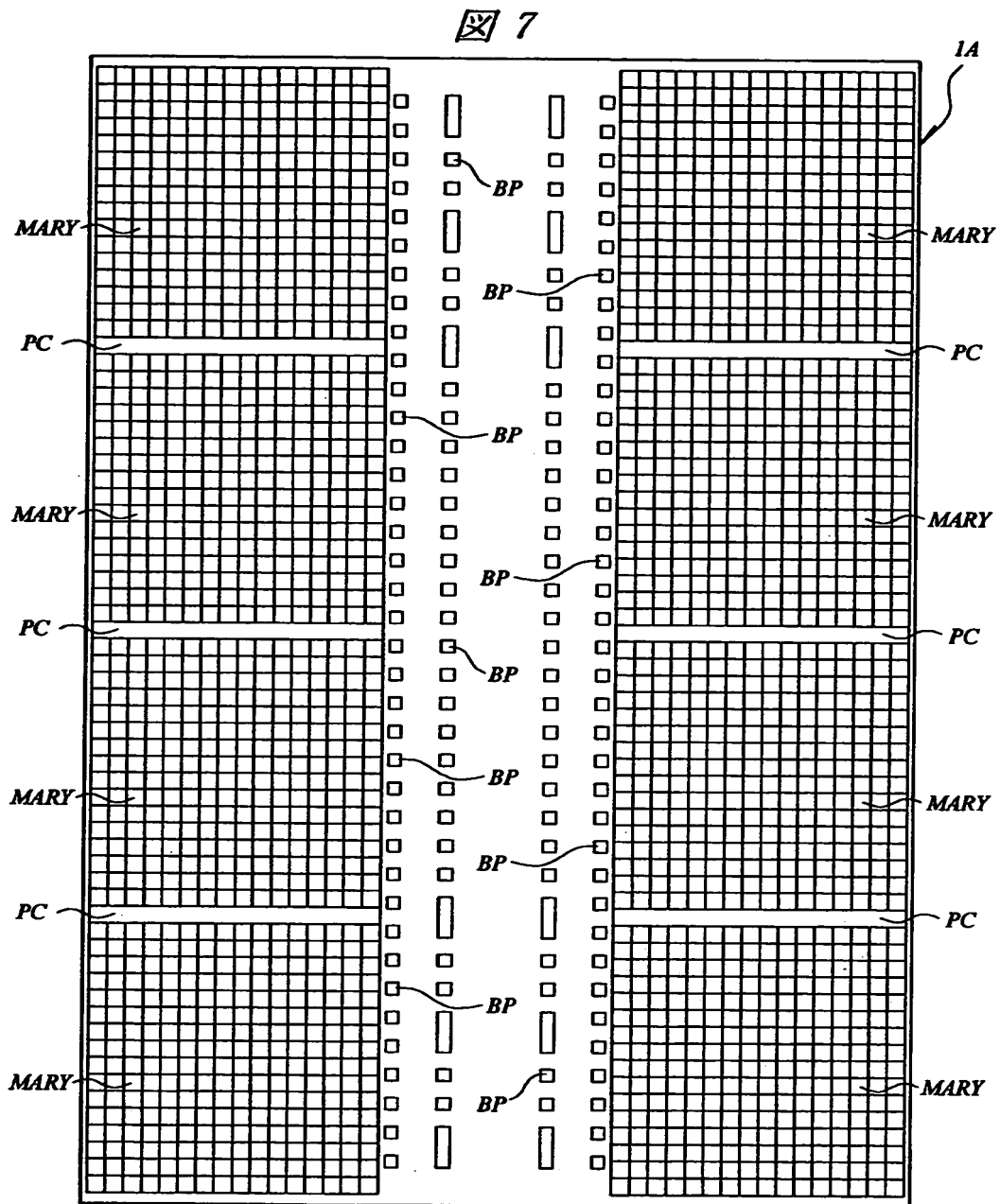


【図6】

図 6

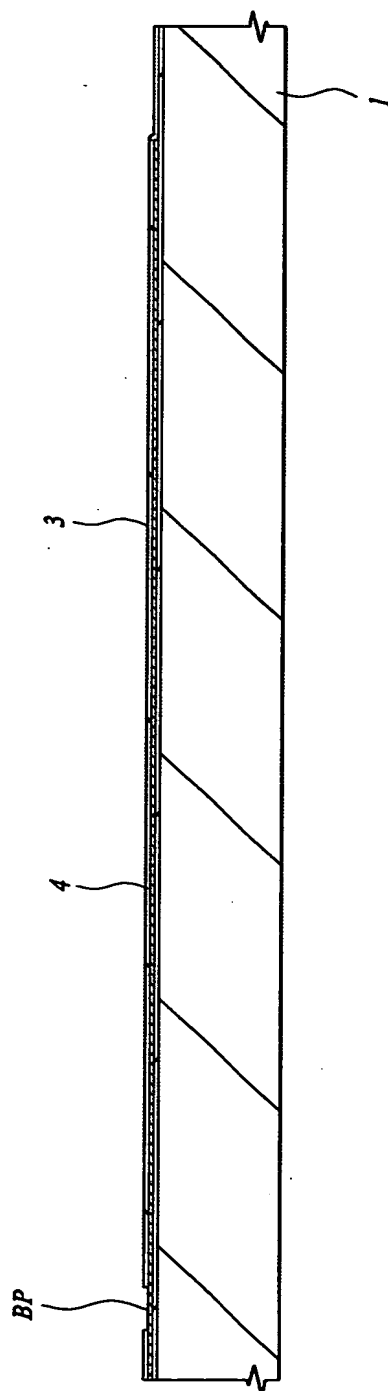


【图7】



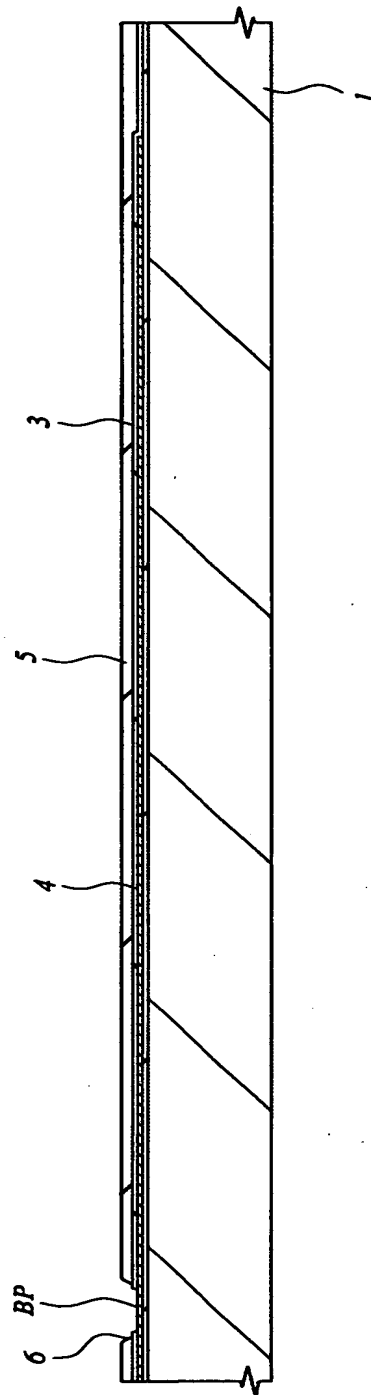
【図8】

8

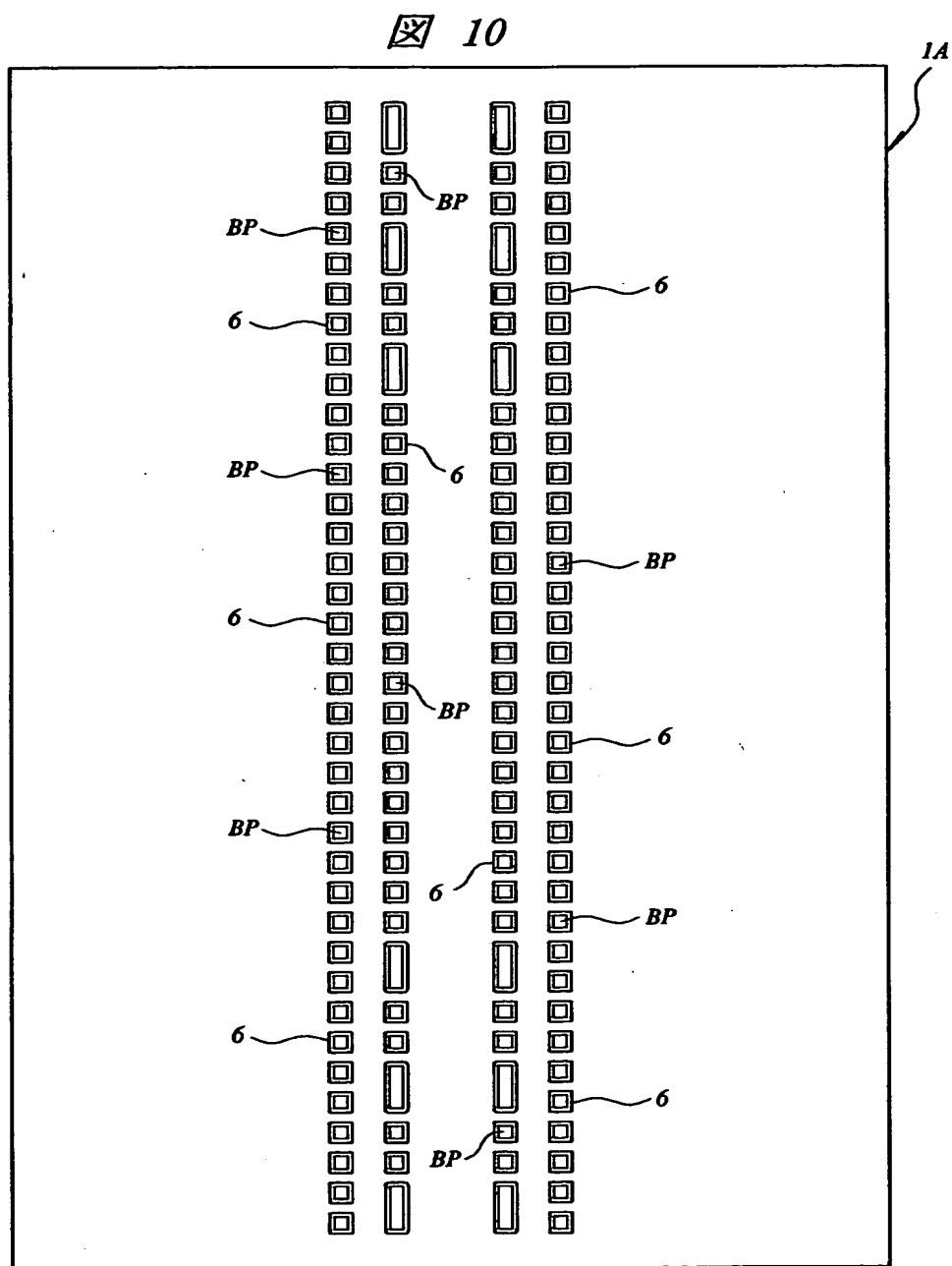


【図9】

図 9

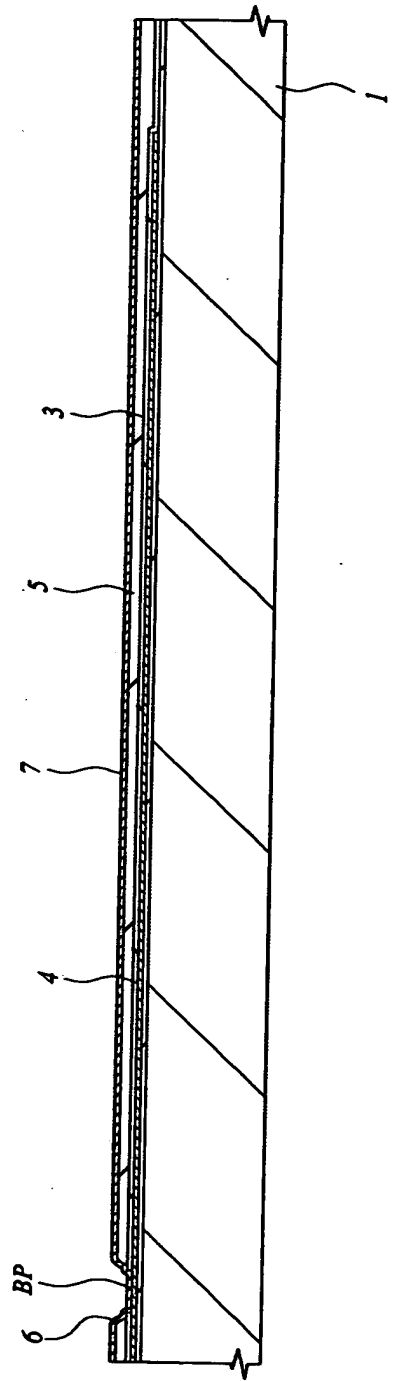


【図 10】



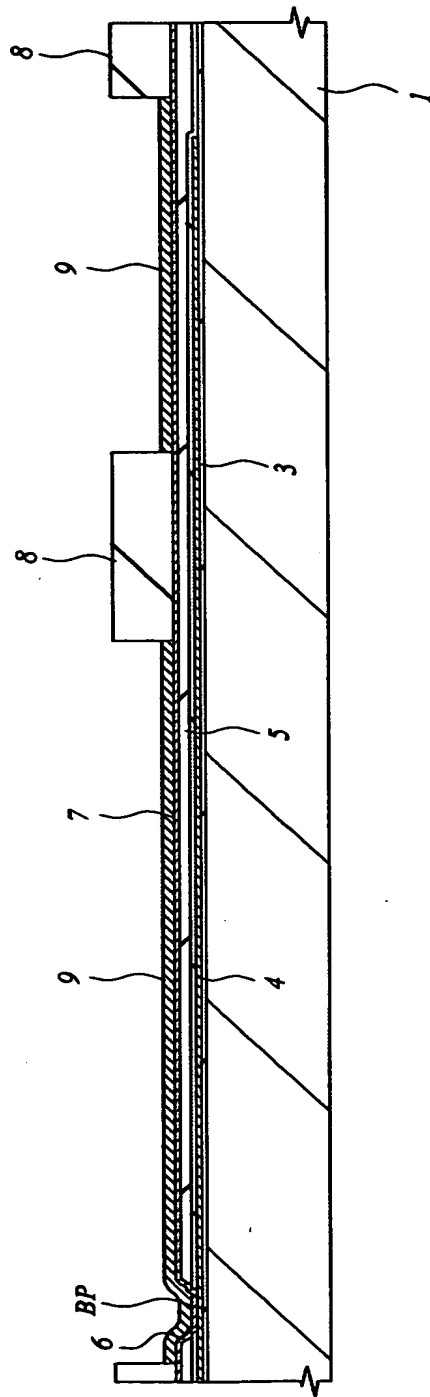
【図11】

図 11



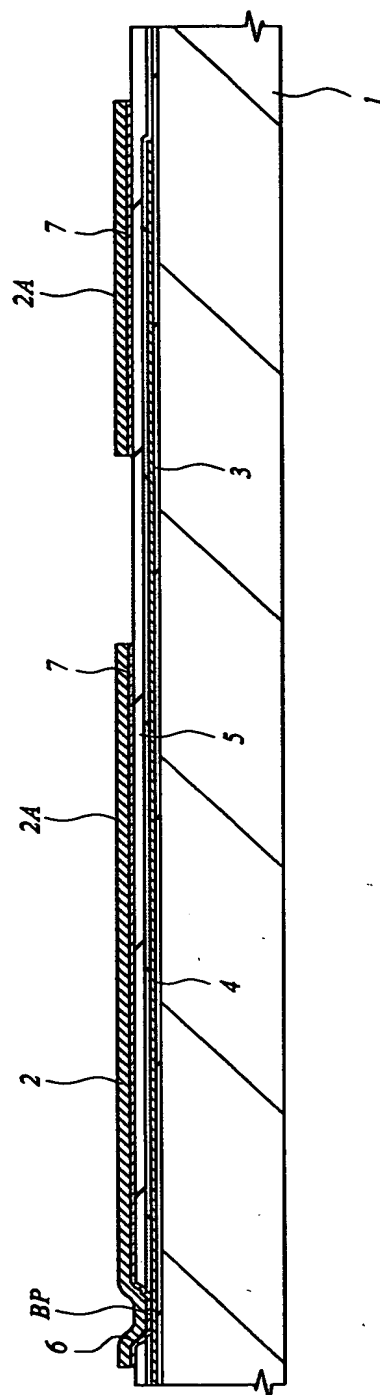
【図 1 2】

図 12

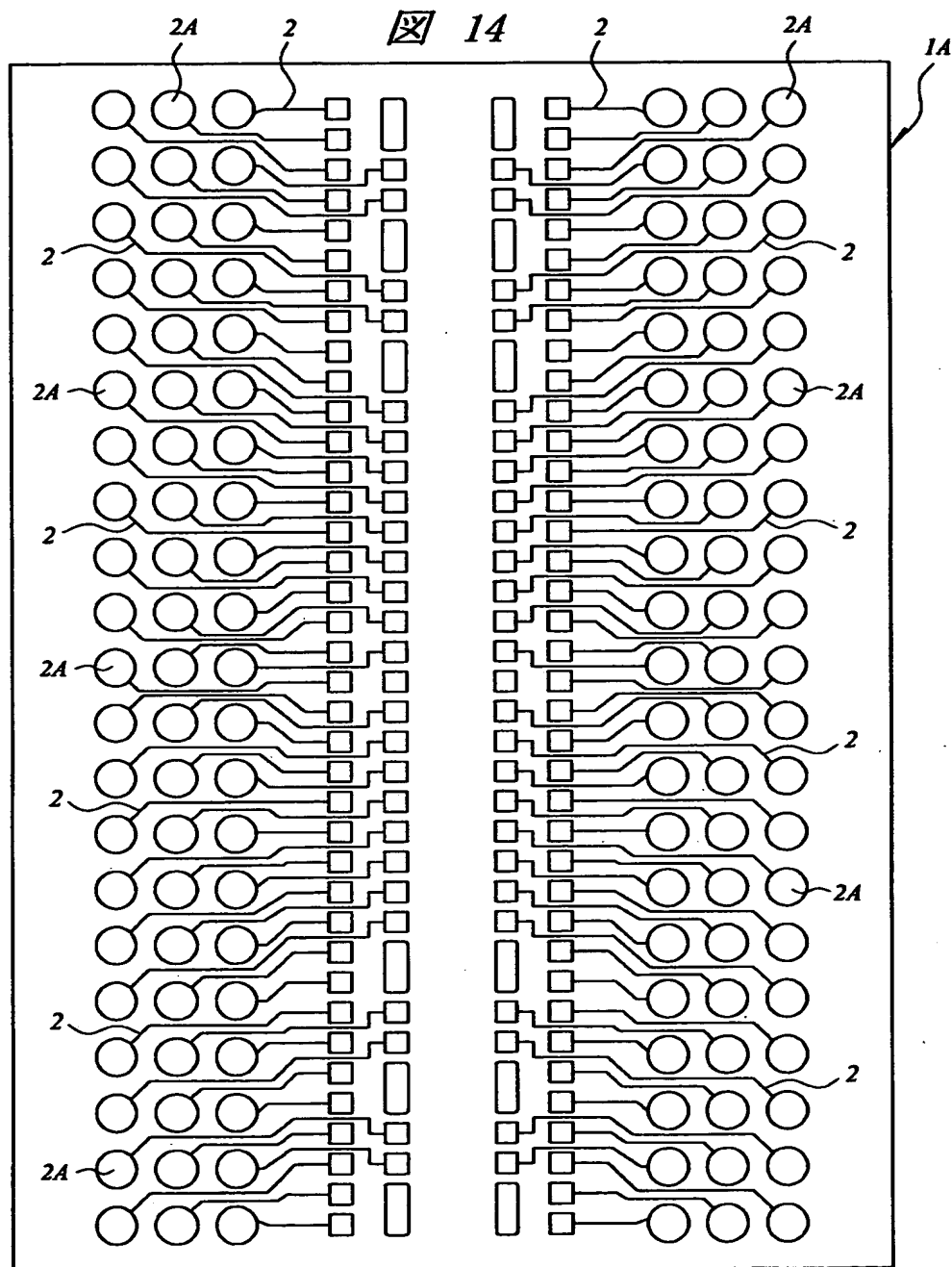


【図13】

図 13

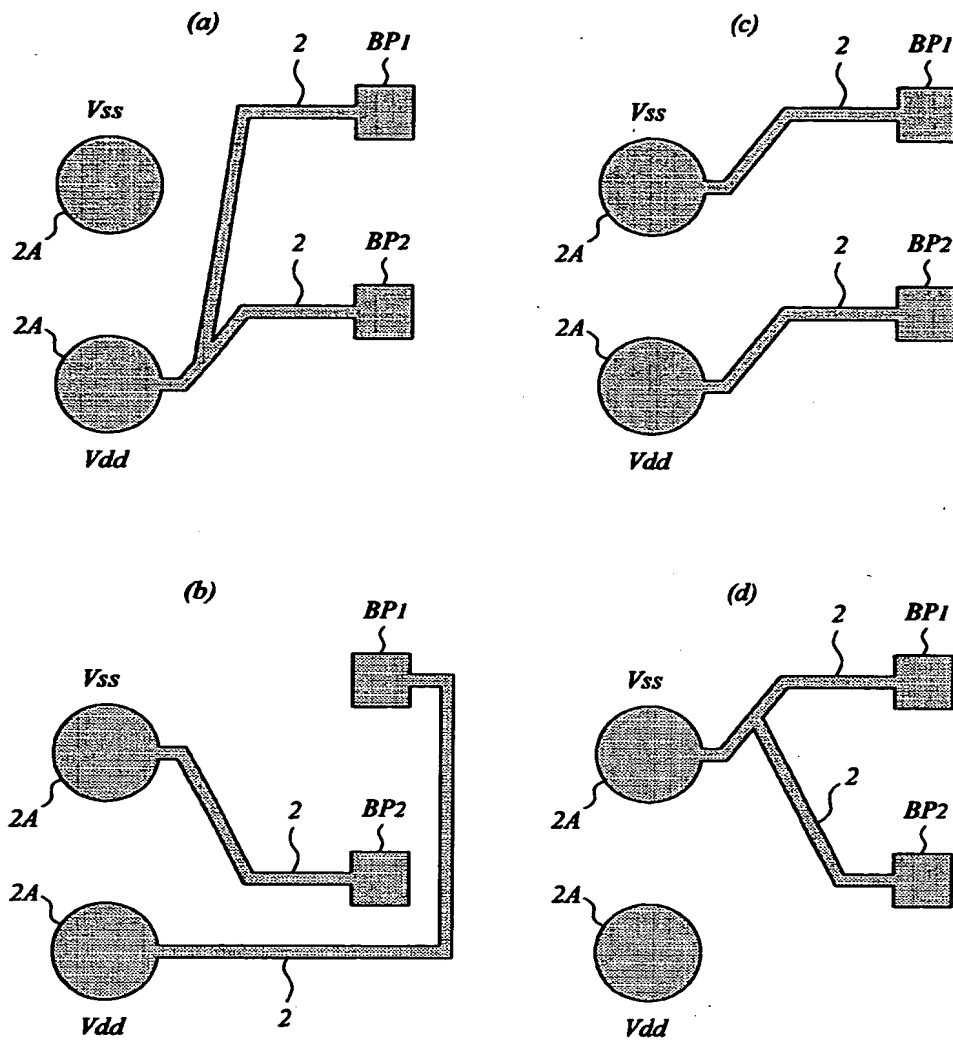


【図 14】



【図15】

図 15



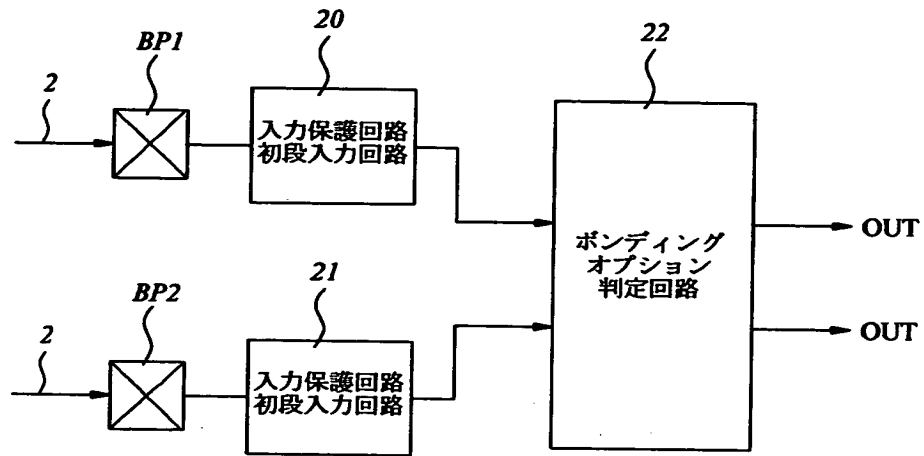
【図 1 6】

図 16

機 能	パッド		ビット構成	動作モード	
	BP1	BP2		DDR	シクロナス
機能 1	Vdd	Vdd	×32Bit	○	——
機能 2	Vdd	Vss	×32Bit	——	○
機能 3	Vss	Vdd	×64Bit	○	——
機能 4	Vss	Vss	×64Bit	——	○

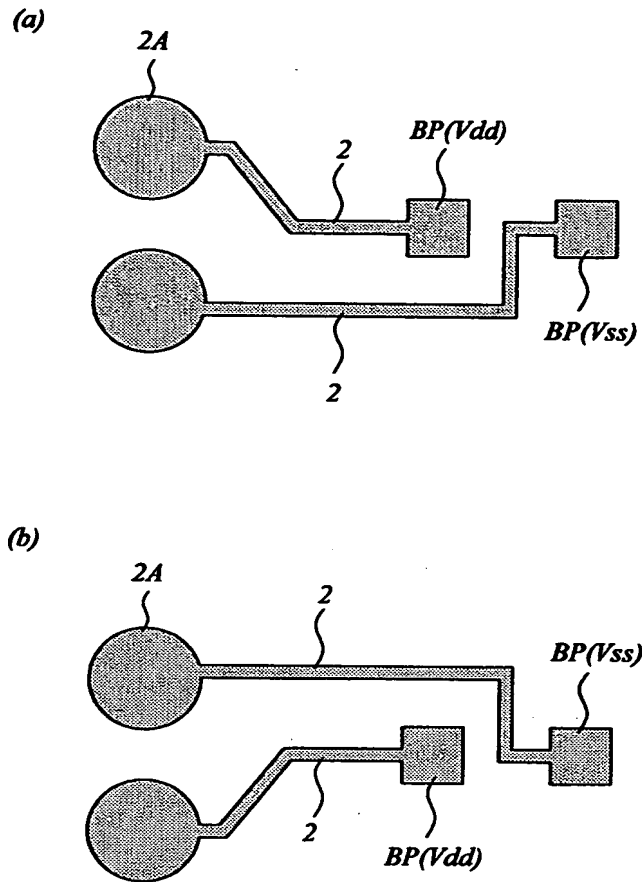
【図 17】

図 17



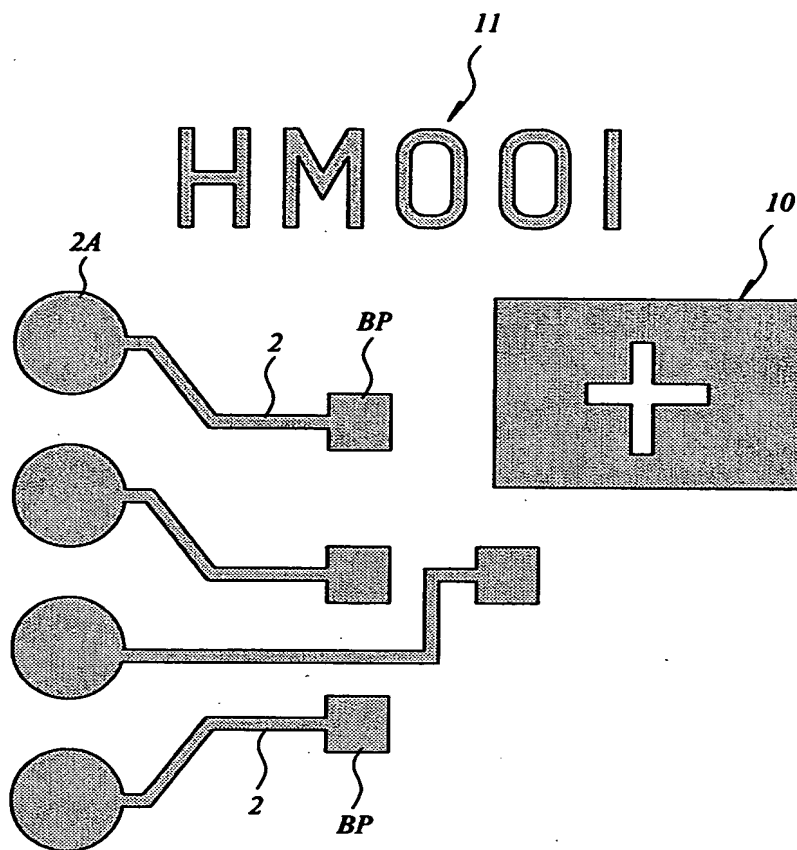
【図18】

図 18



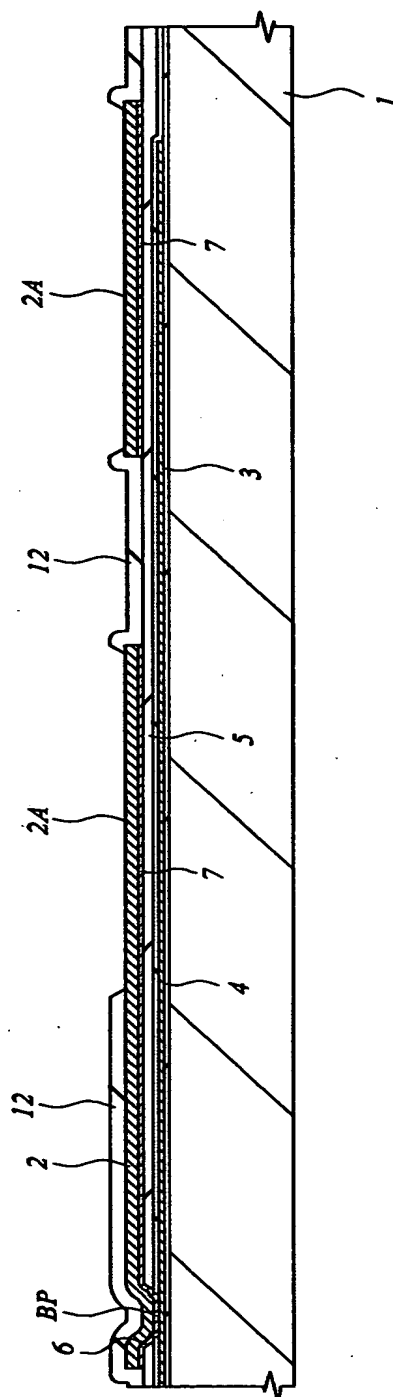
【図19】

図 19

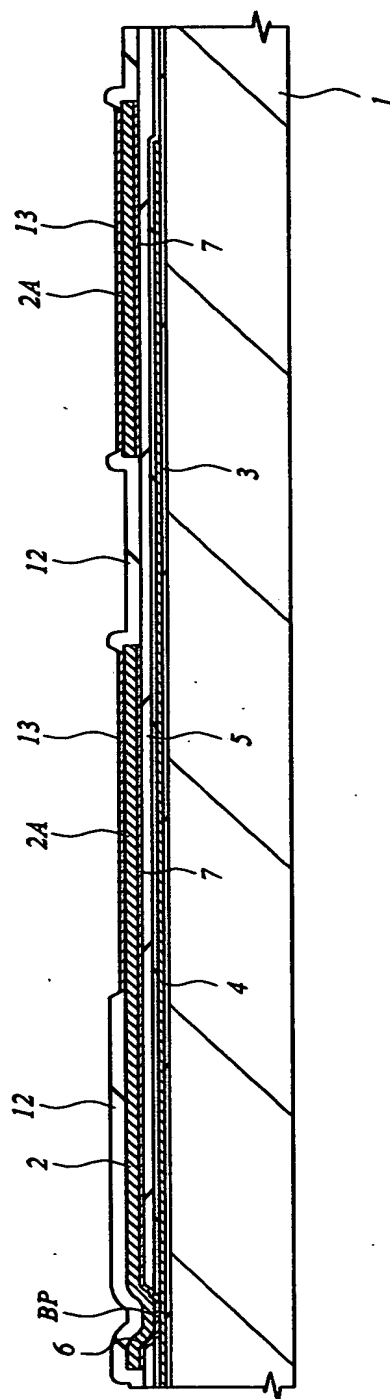


【図 20】

図 20

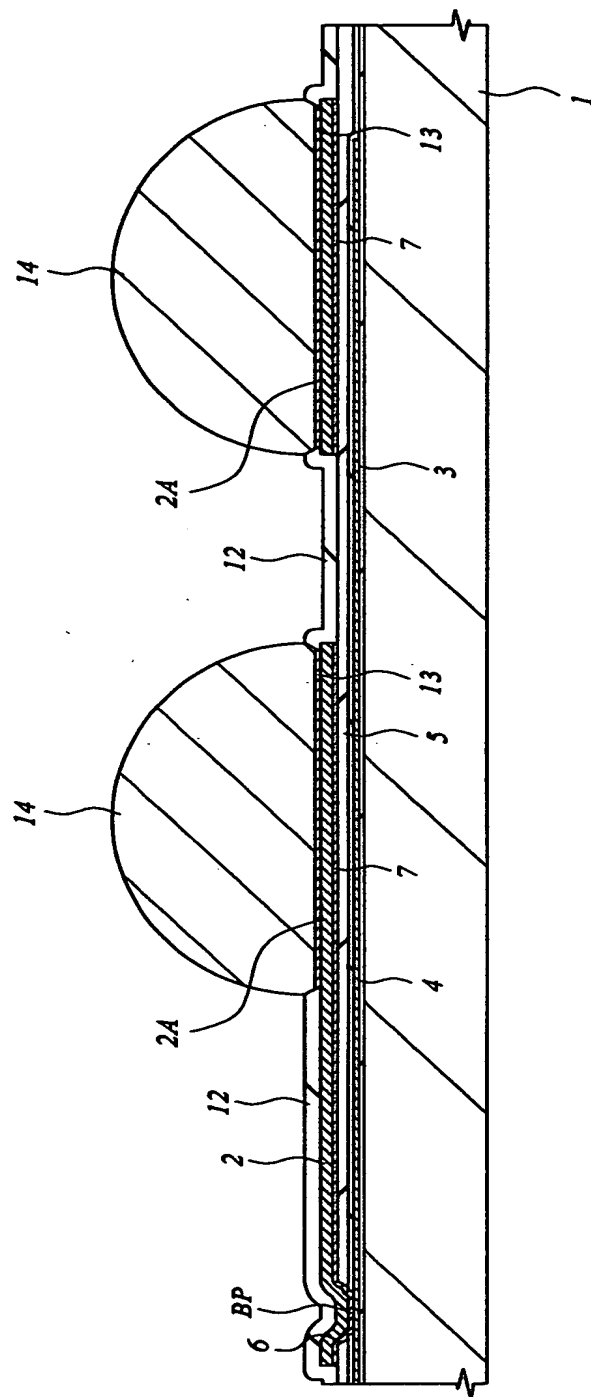


【図 2 1】



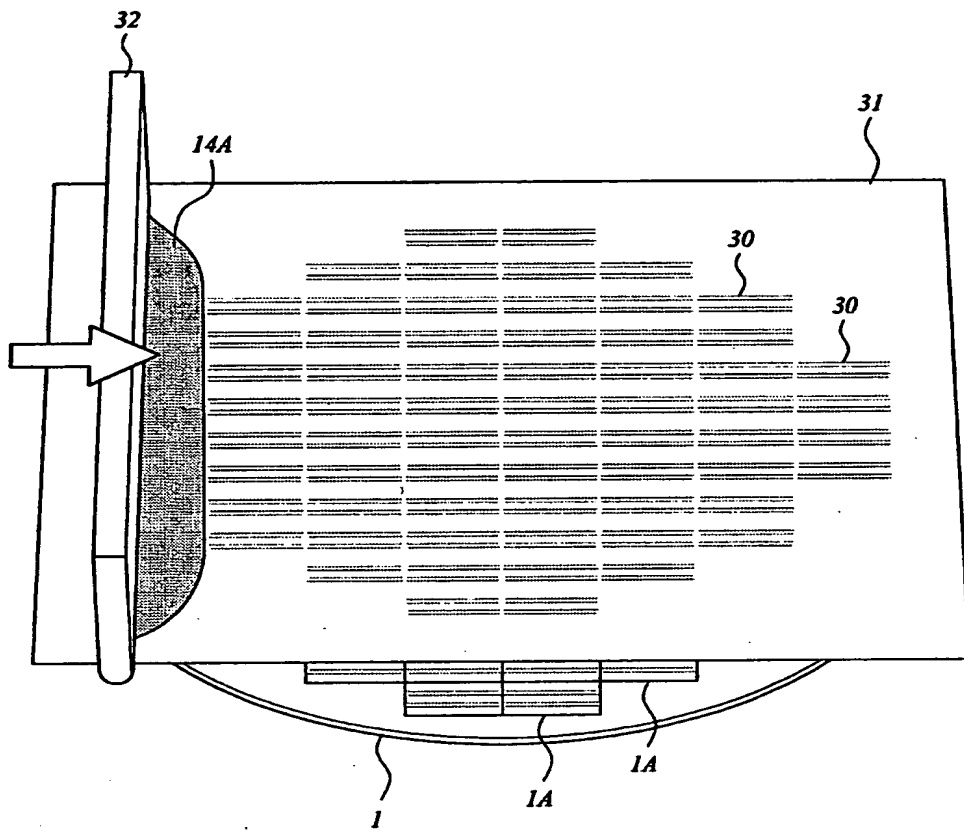
【図 22】

図 22



【図 23】

図 23



【図24】

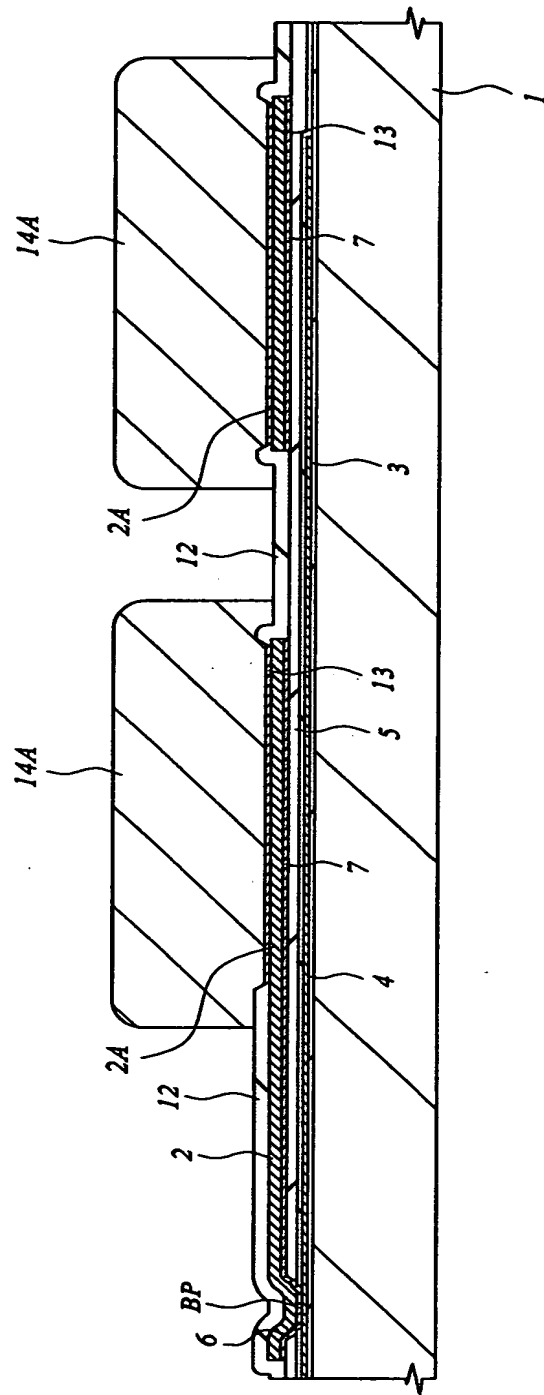
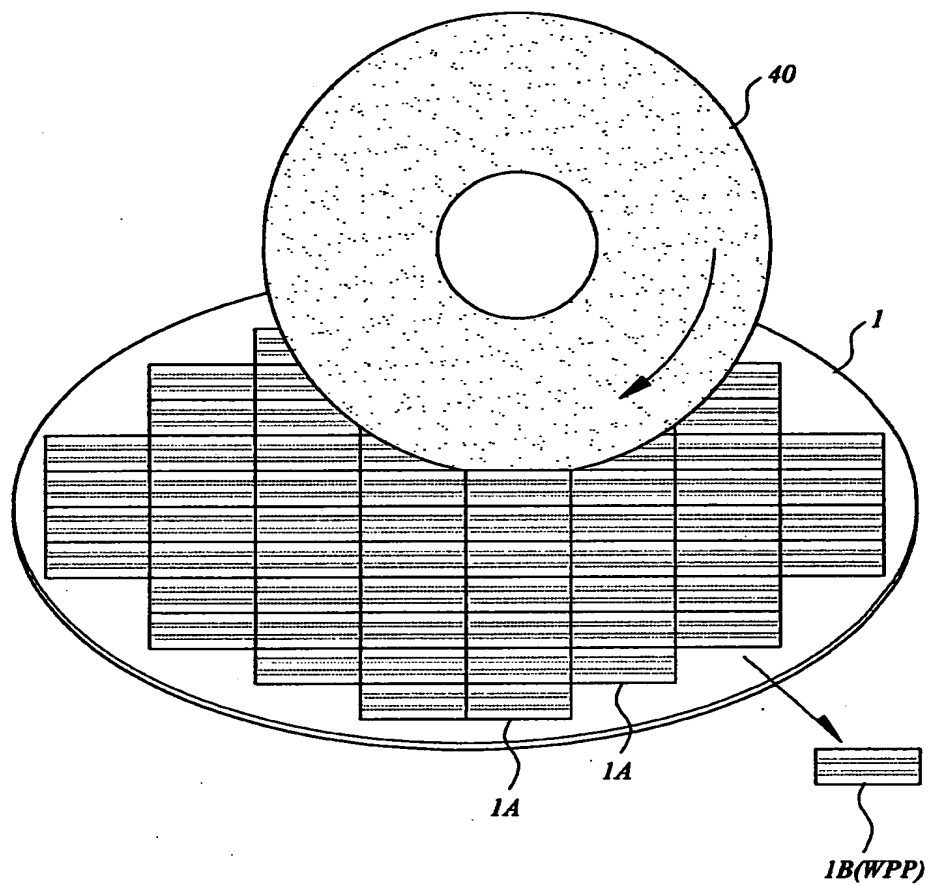


図 24

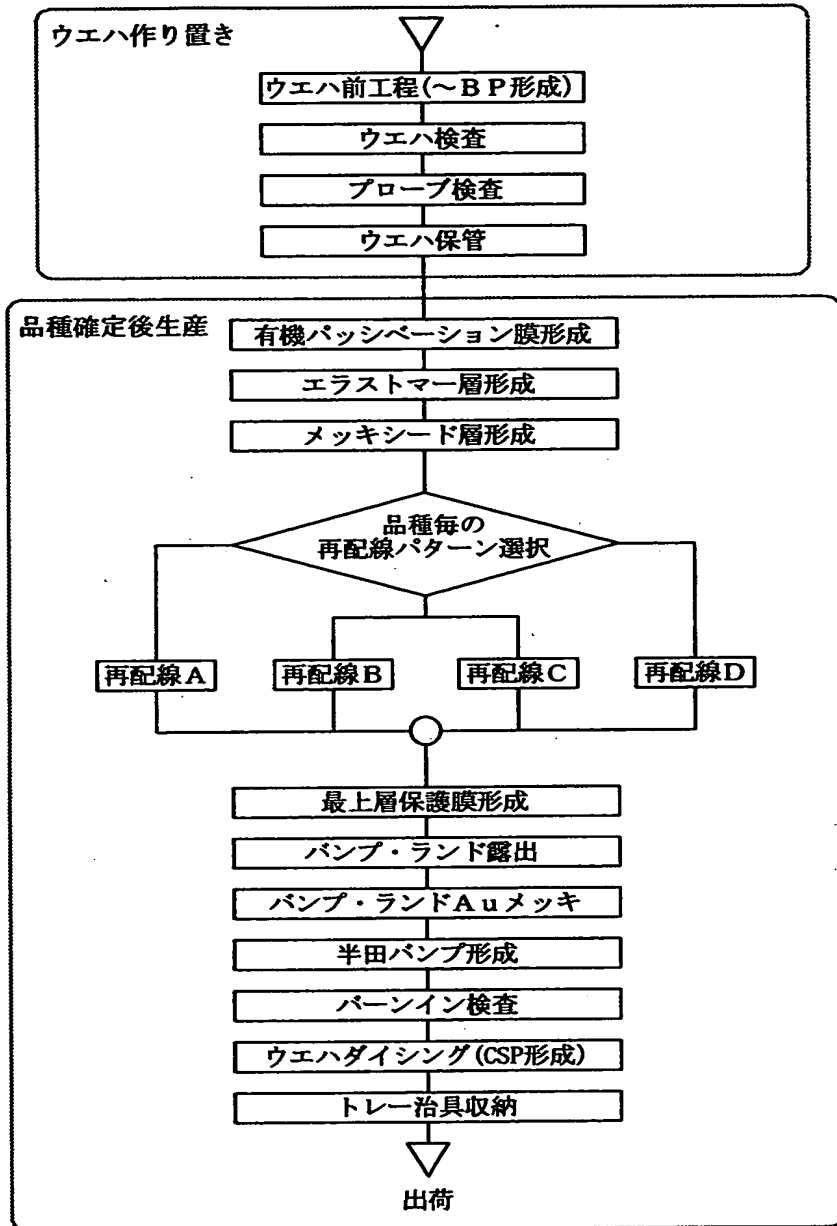
【図25】

図 25



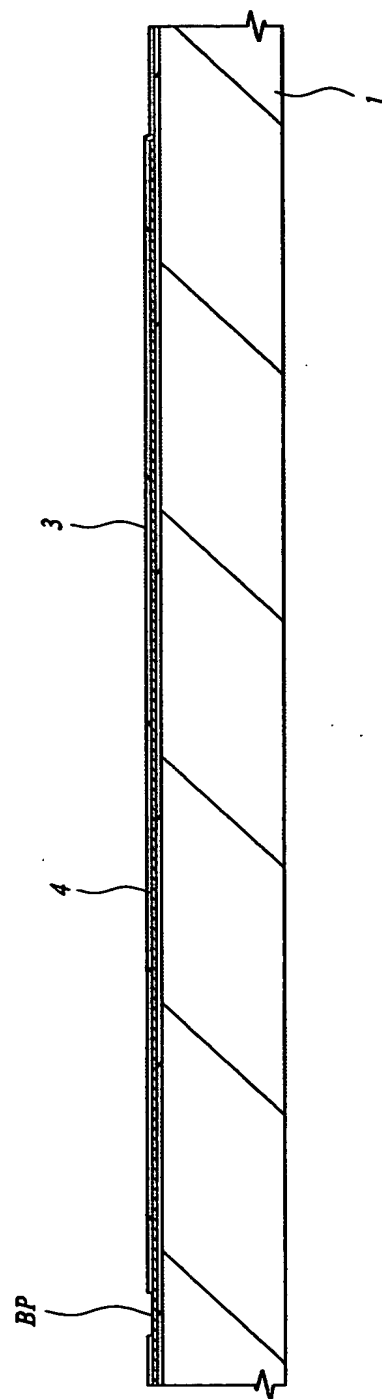
【図 26】

図 26



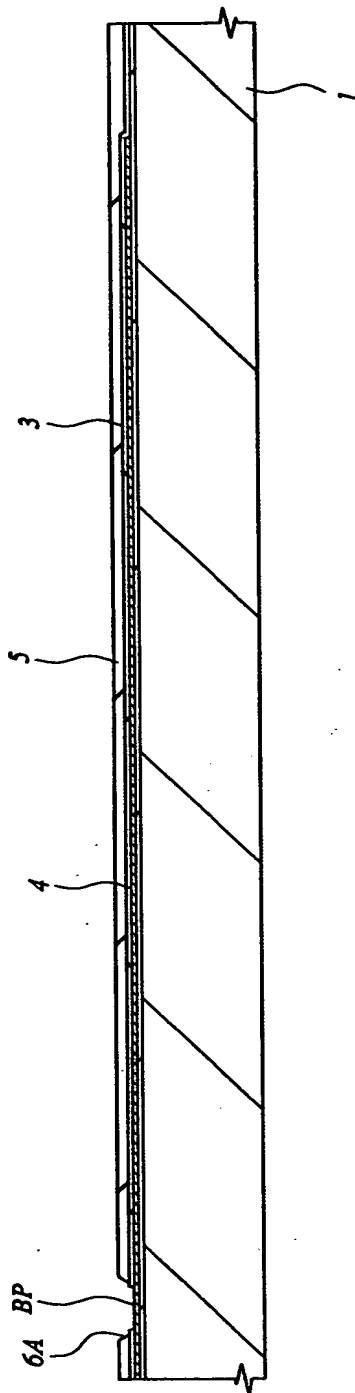
【図 2 7】

図 27



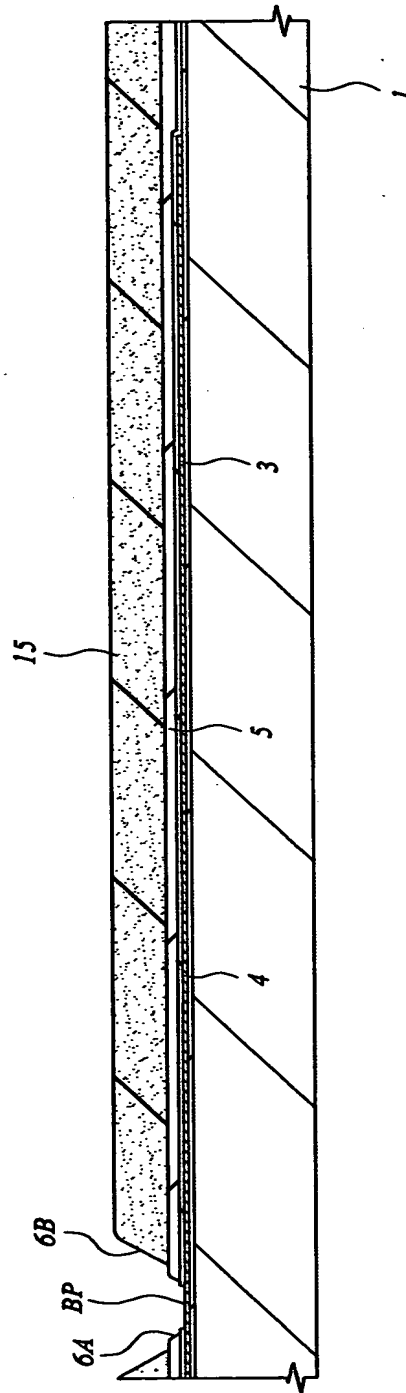
【図 28】

図 28



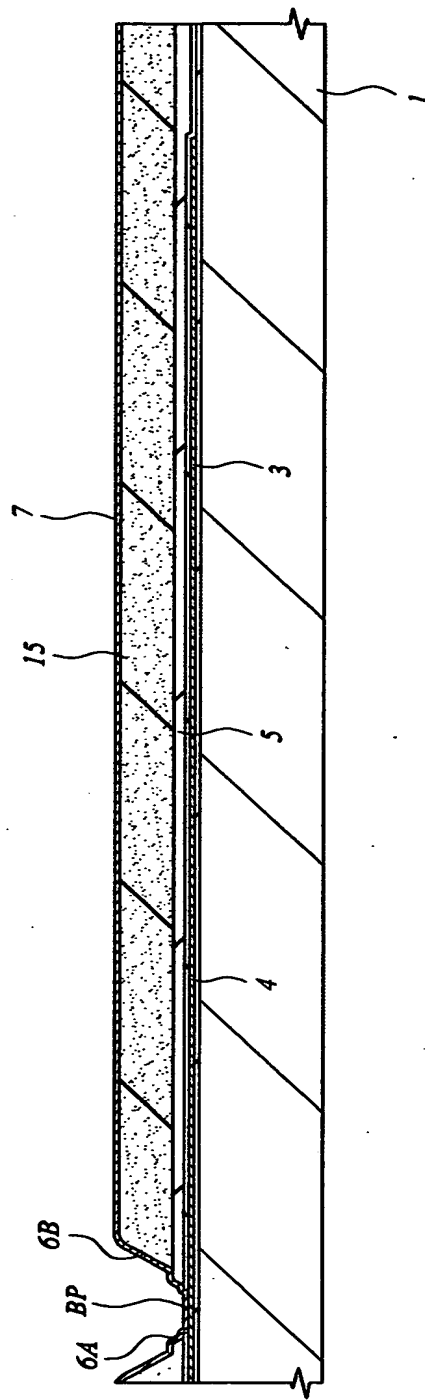
【図 29】

図 29



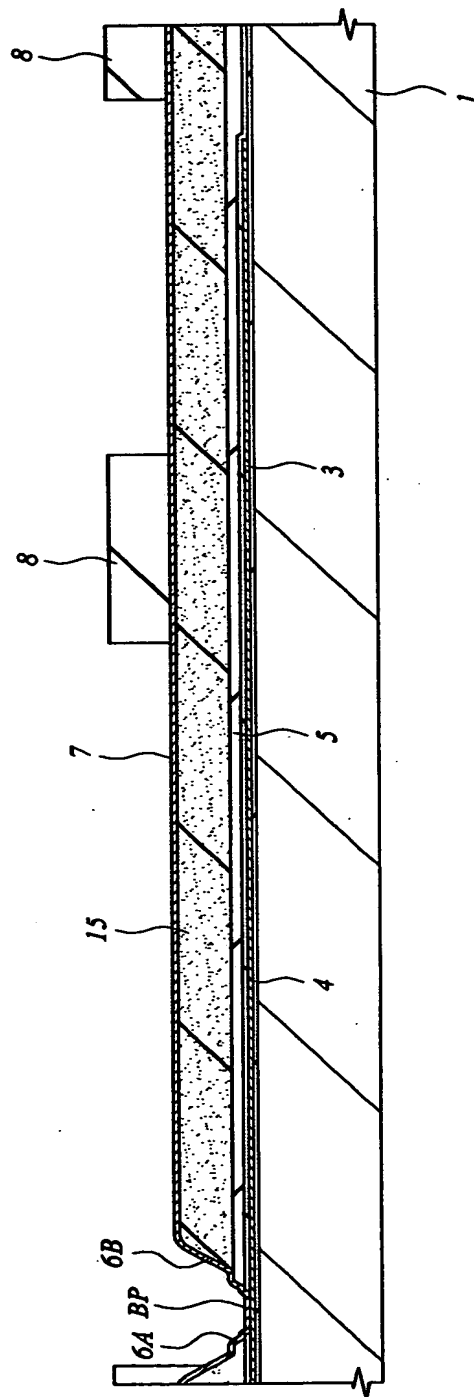
【図30】

図 30



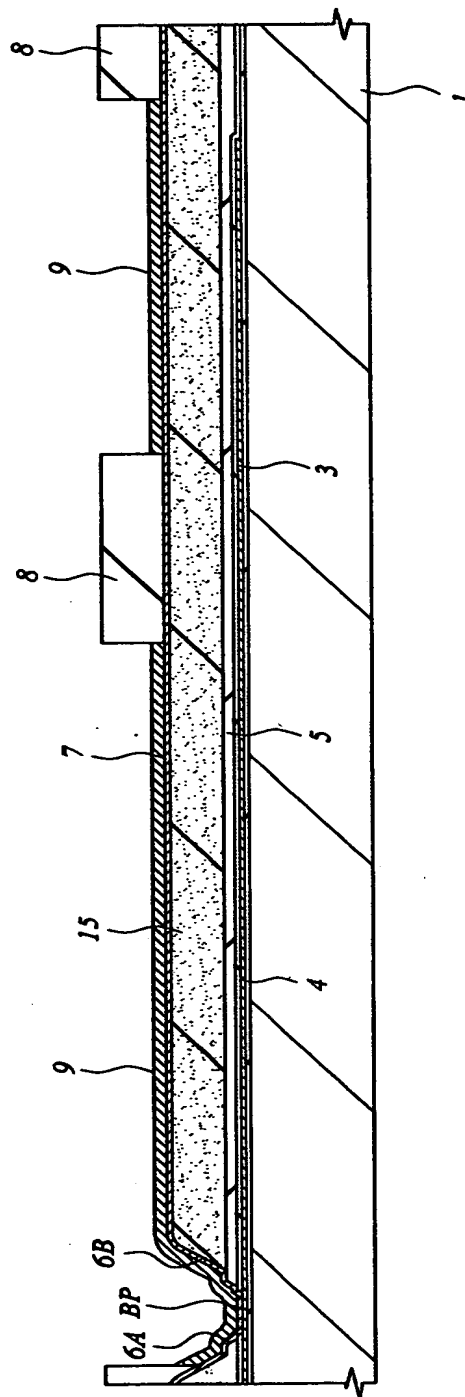
【図 31】

図 31



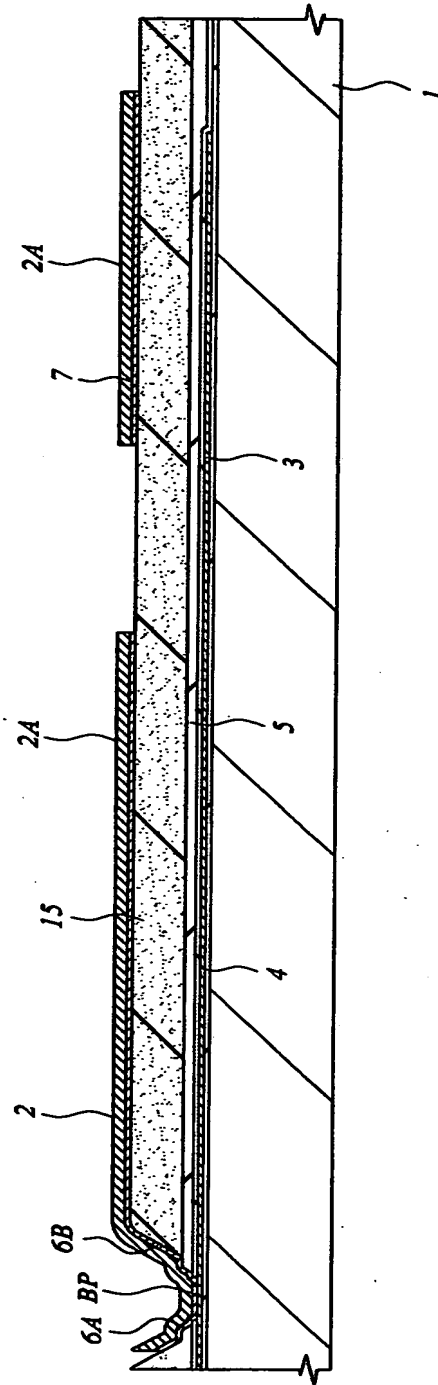
【図 32】

32



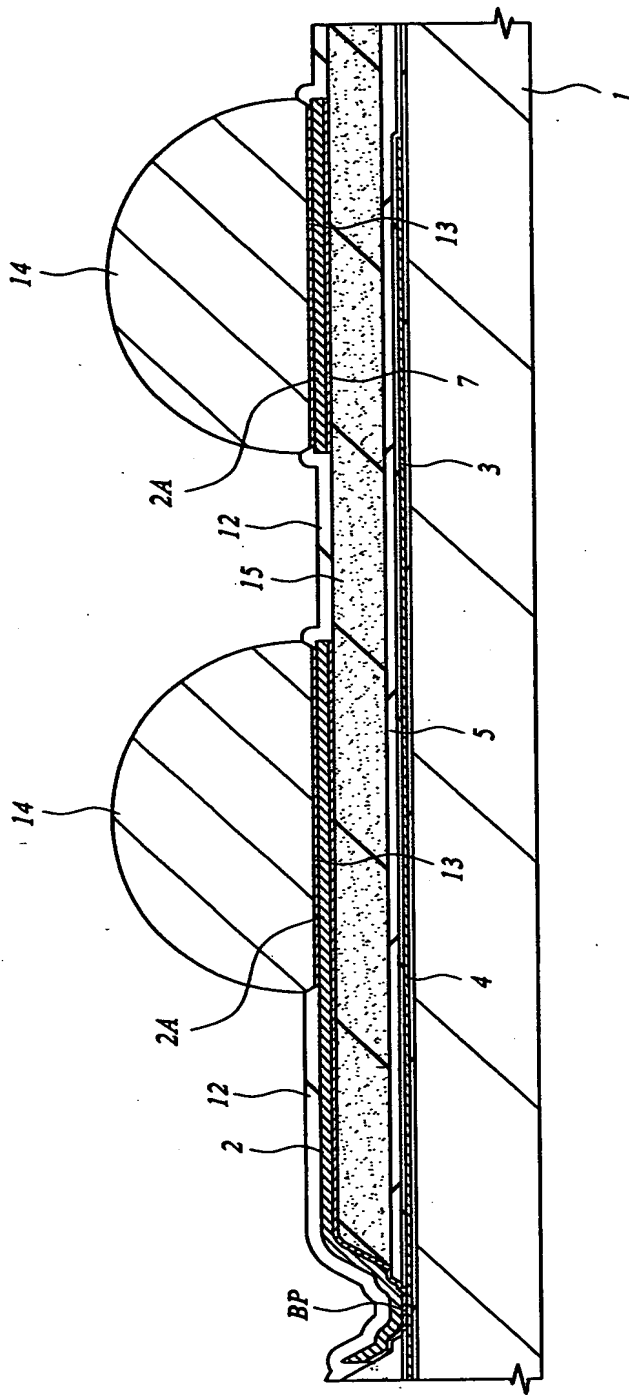
【図33】

図 33



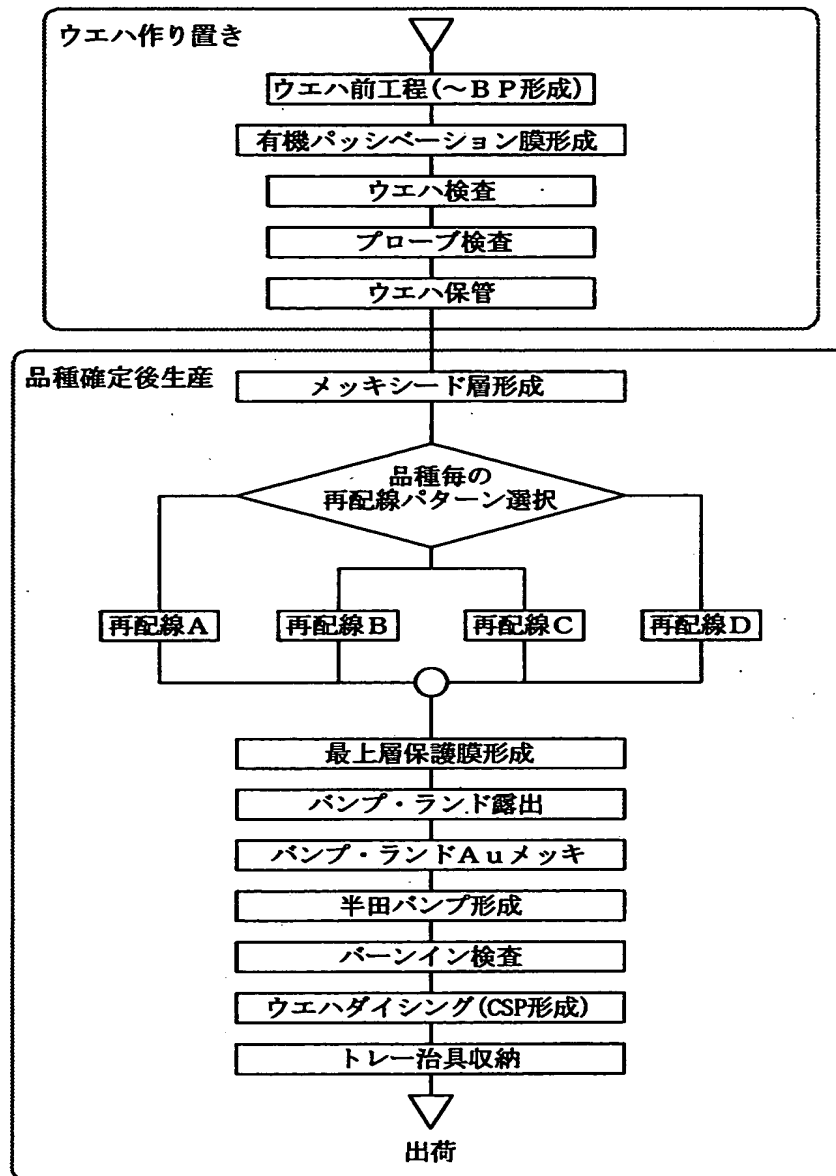
【図 34】

図 34



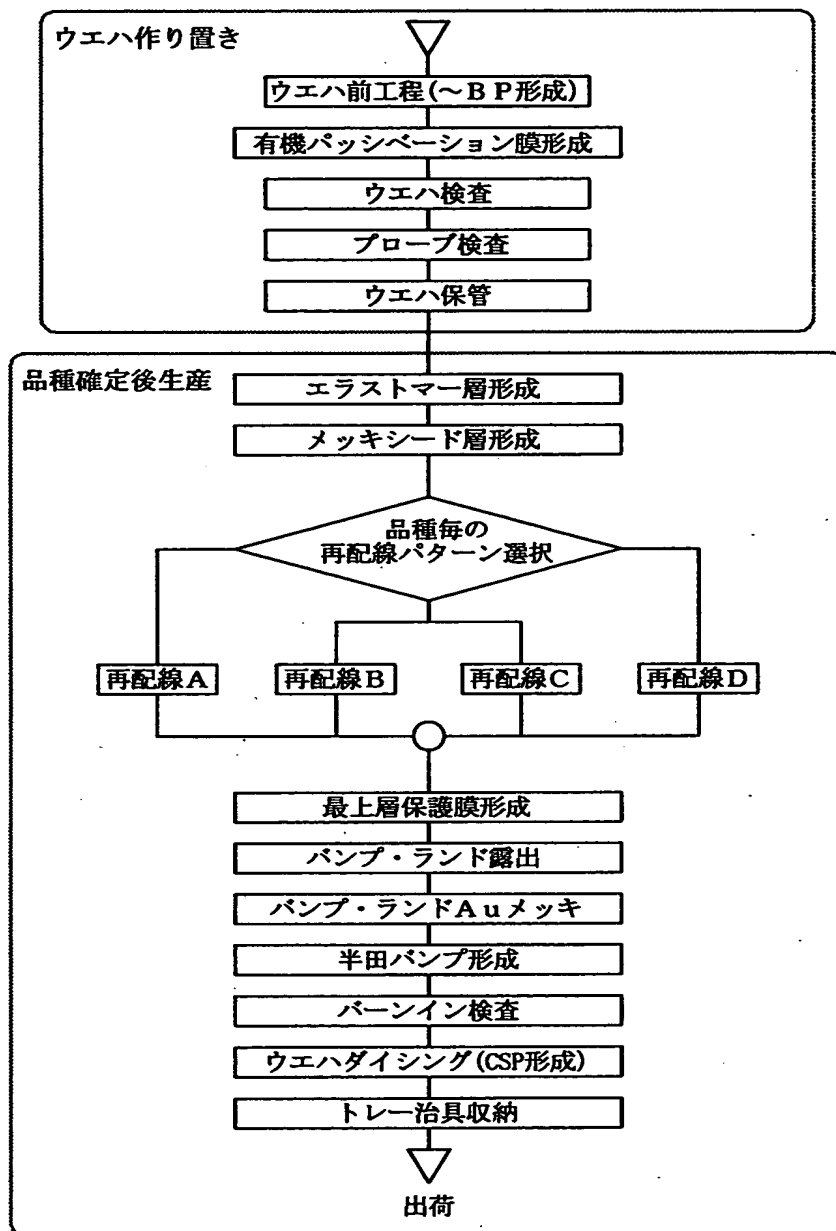
【図 35】

図 35



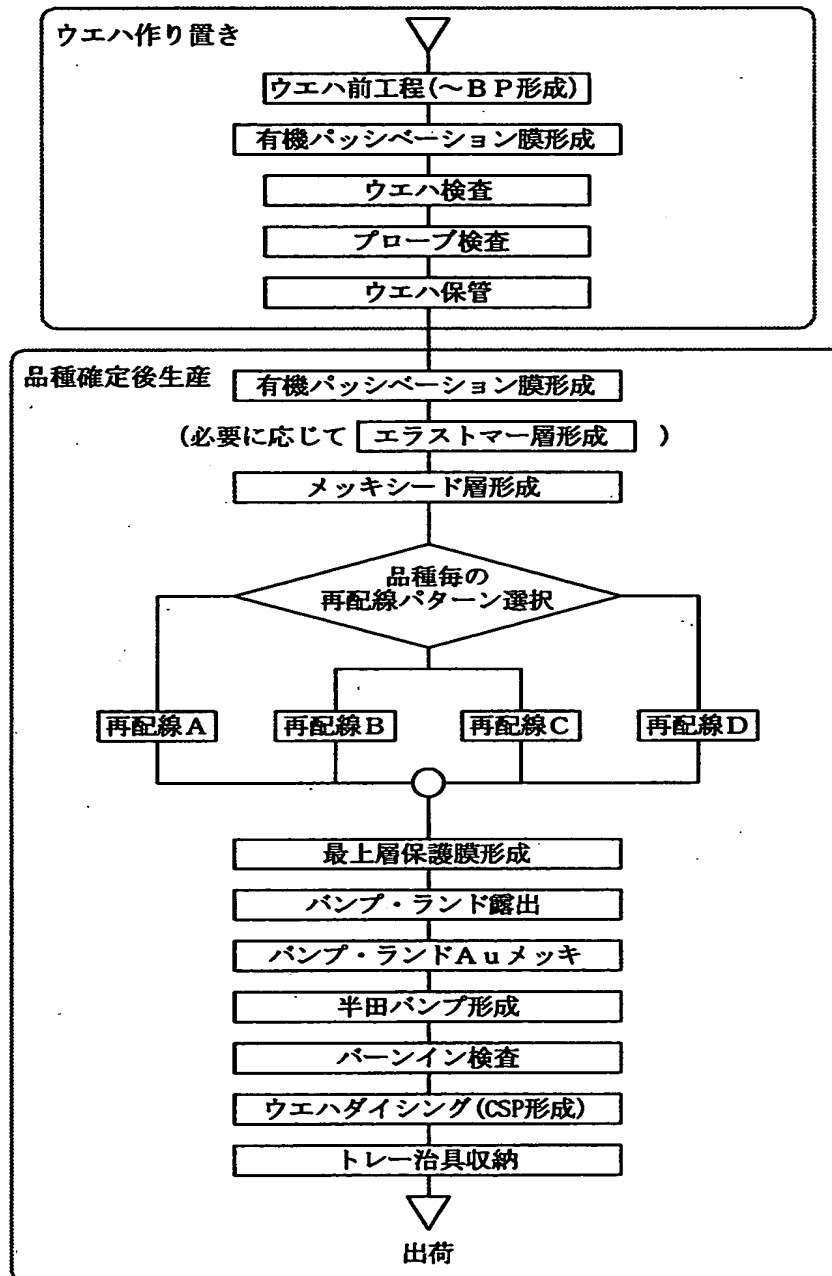
【図 36】

図 36



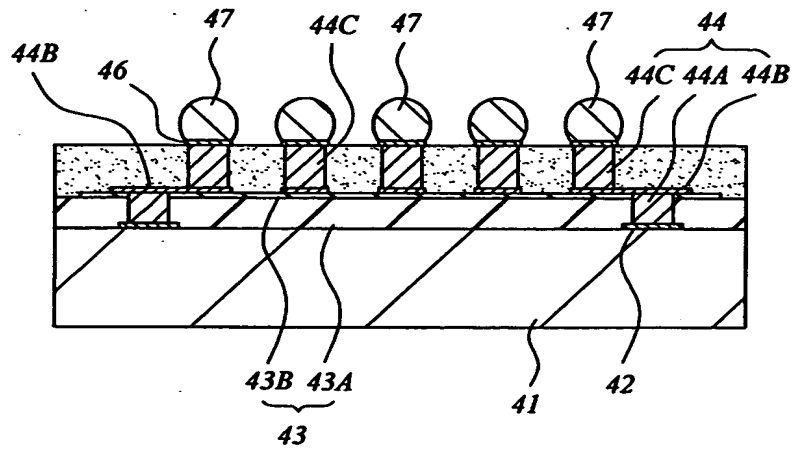
【図 37】

図 37



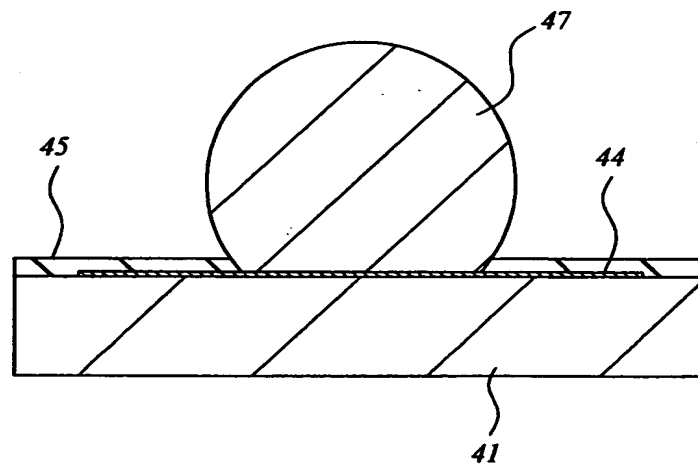
【図 38】

図 38

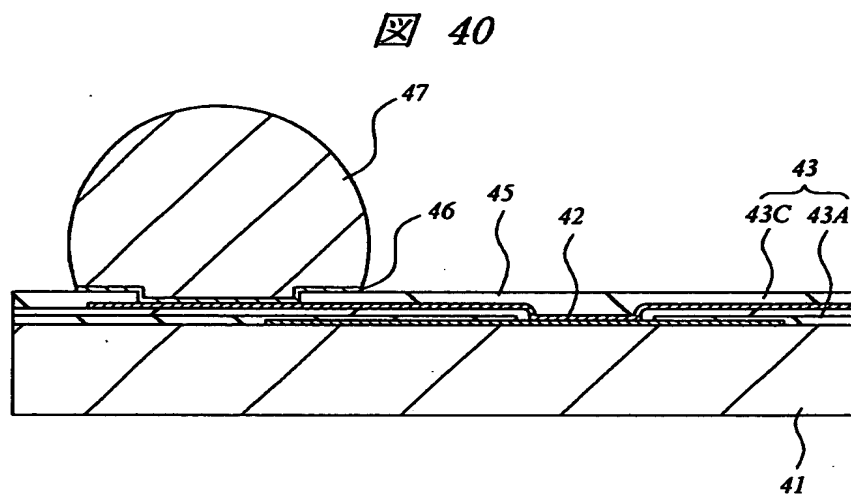


【図 39】

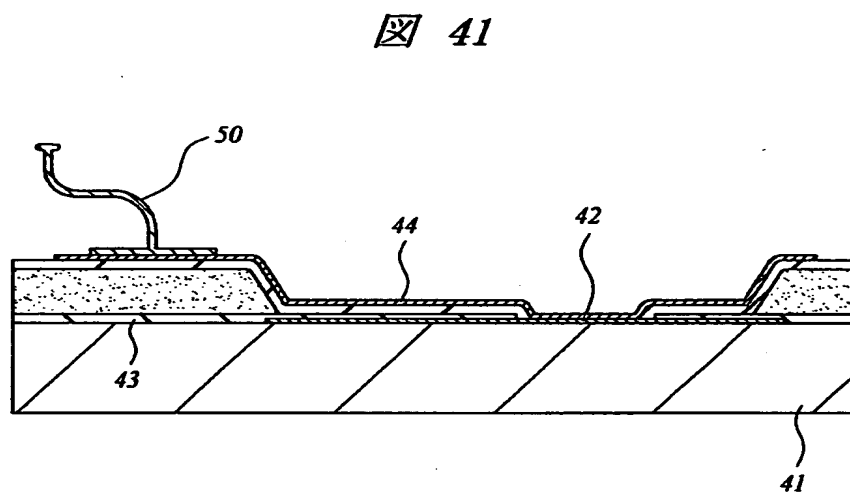
図 39



【図40】

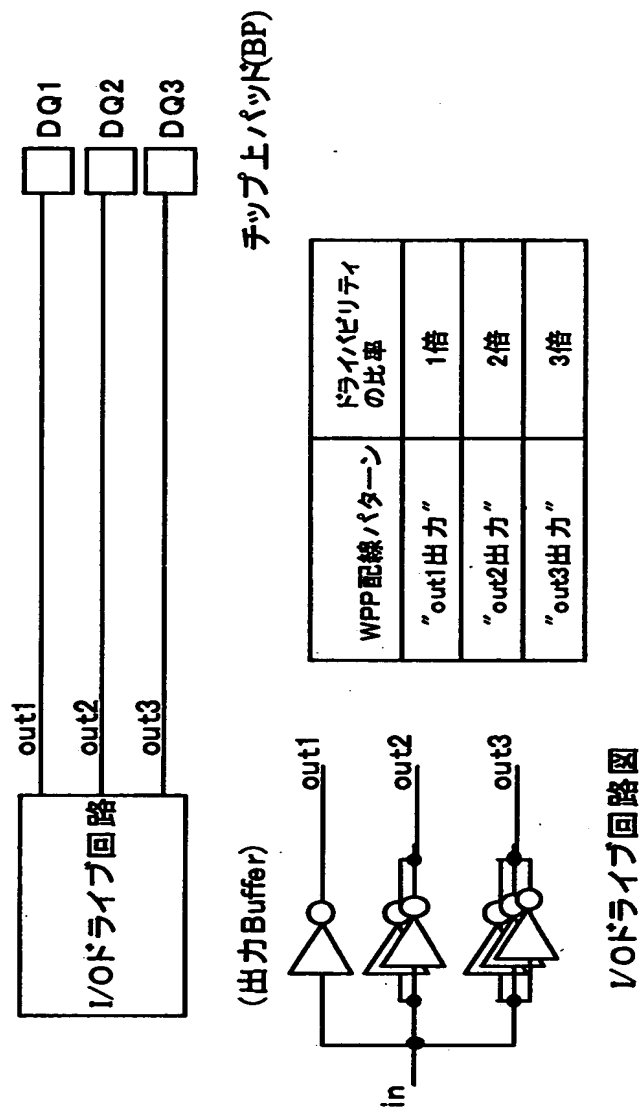


【図41】

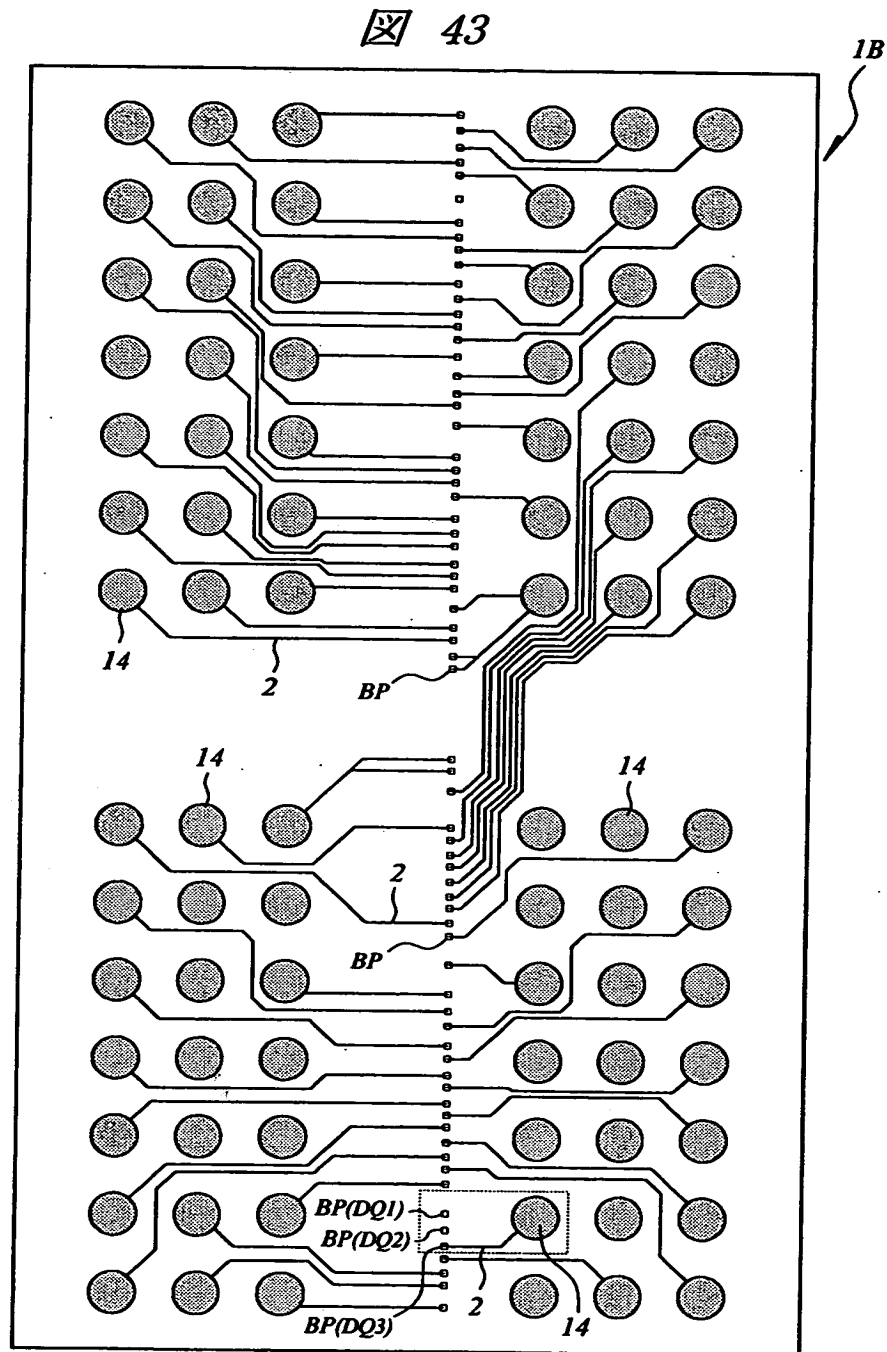


【図 4 2】

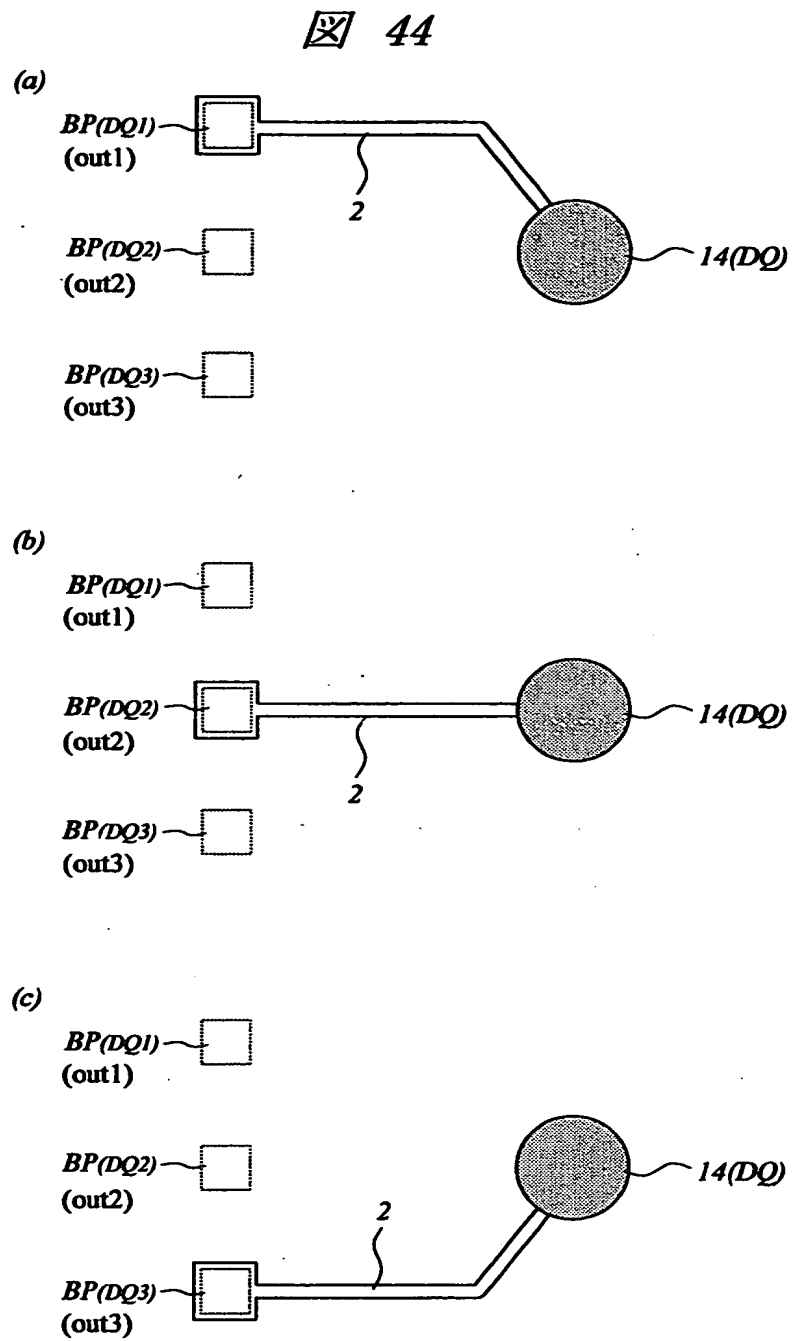
図 42



【図43】

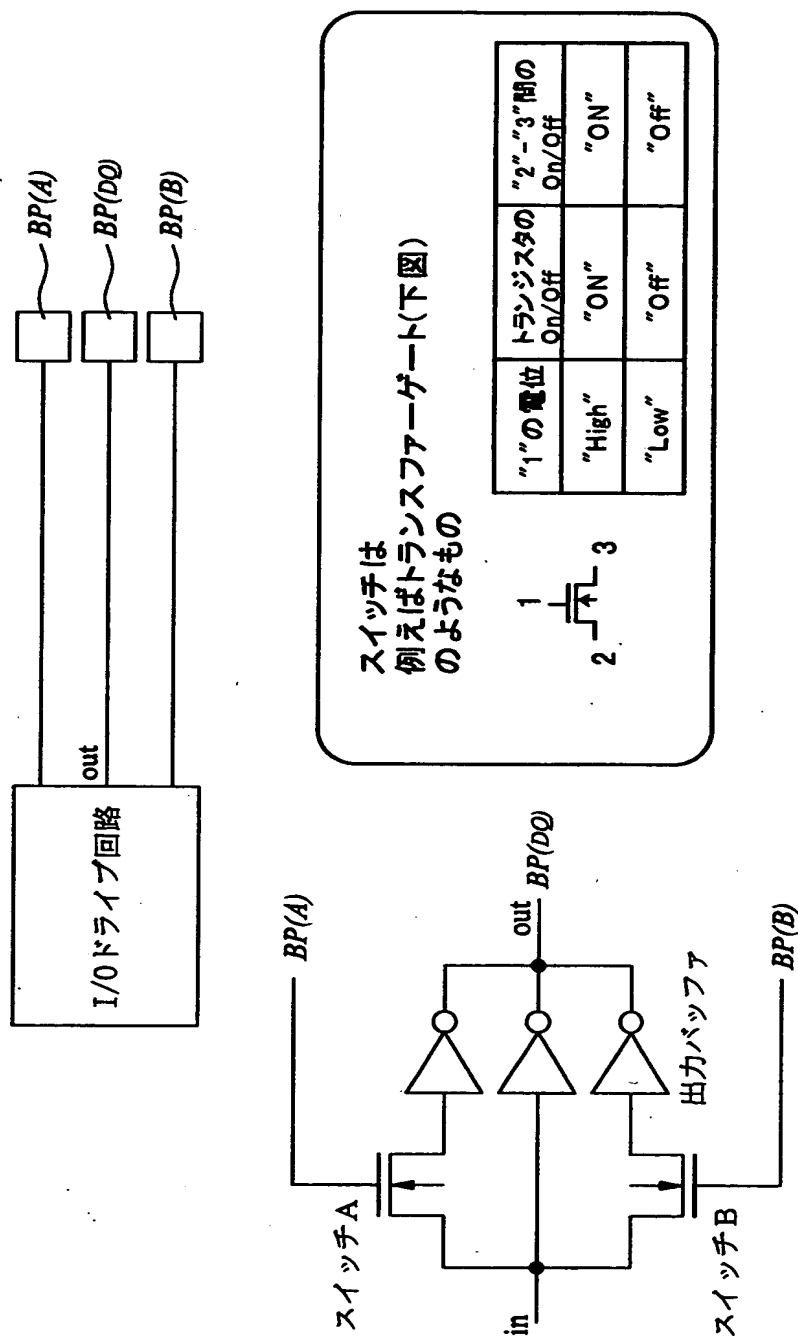


【図 4 4】



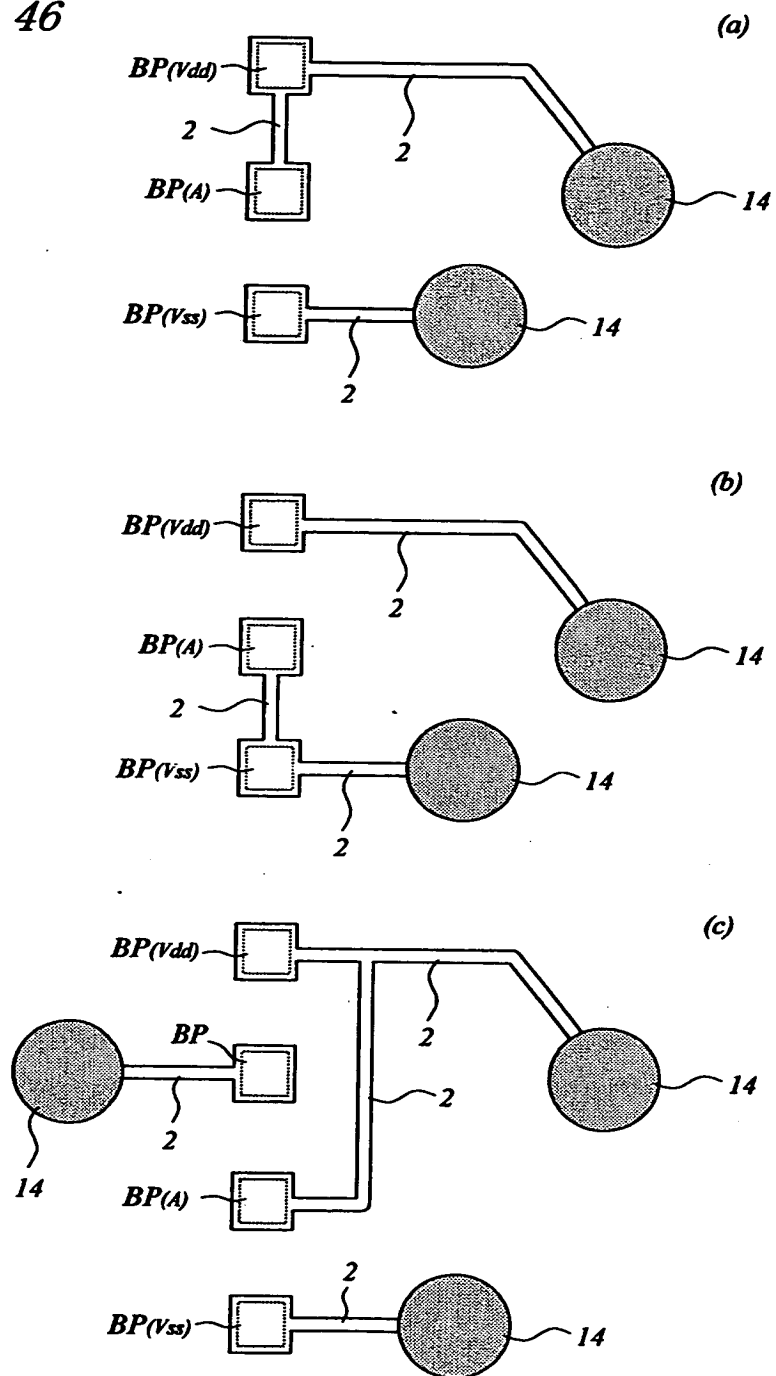
【図 45】

図 45



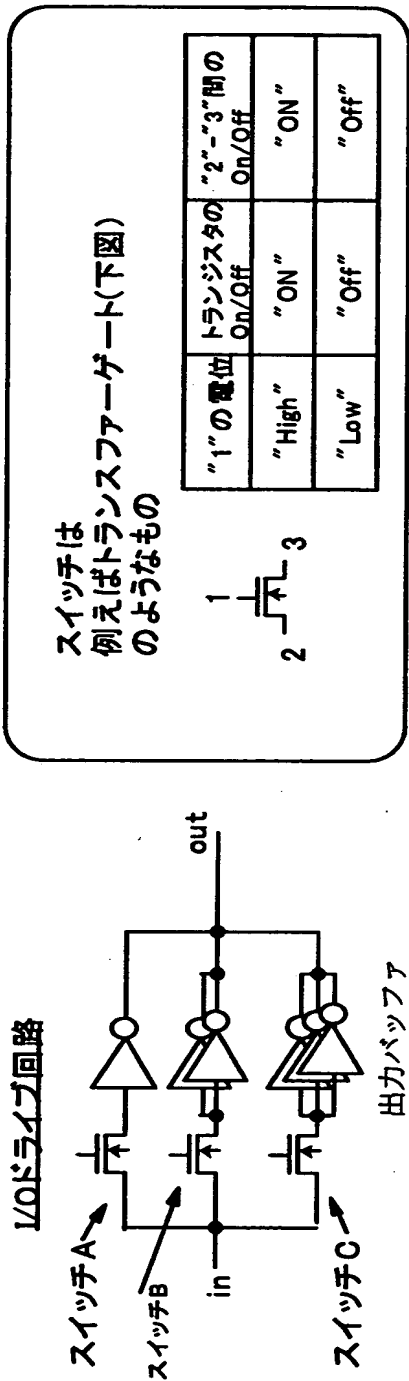
【図 4 6】

図 46



【図47】

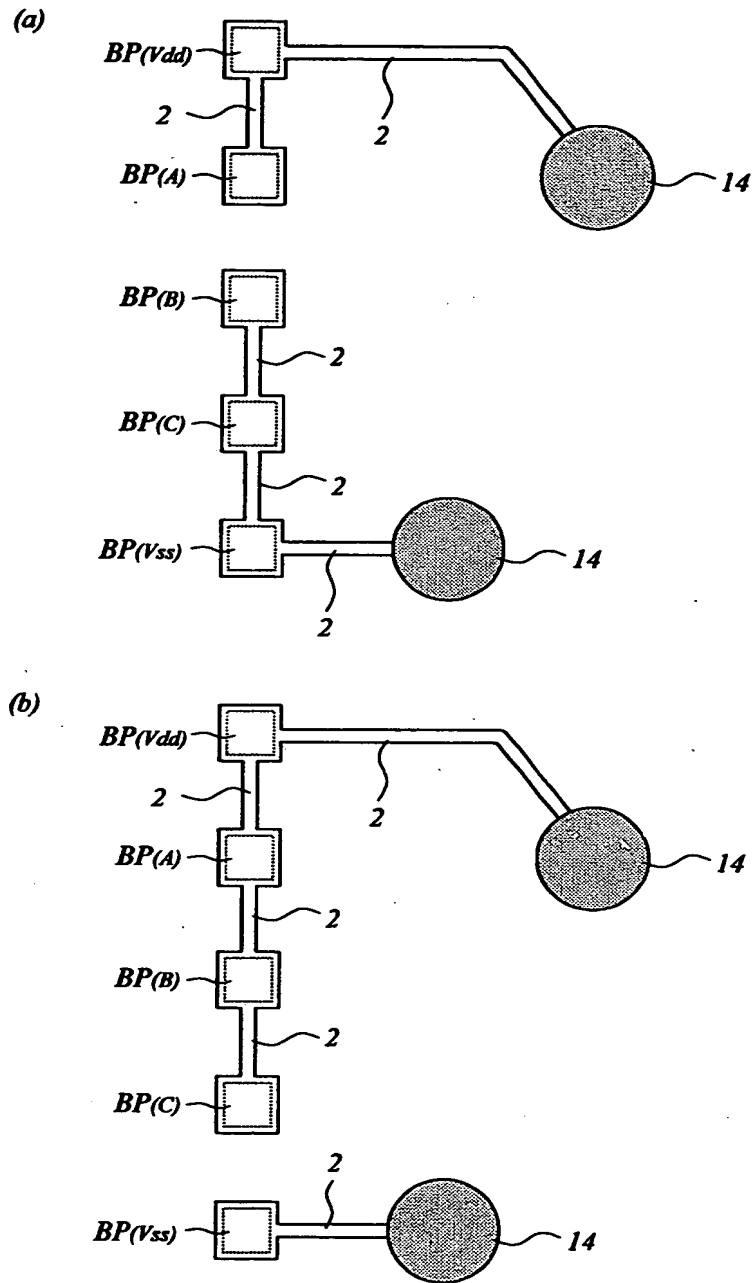
図 47



各トランジスタ (A/B/C) の On/Off	ドライバパリティ の比率
"On"/Off/Off"	1倍
"Off"/On/Off"	2倍
"Off"/Off/On"	3倍
"On"/Off/On"	4倍
"Off"/On/On"	5倍
"On"/On/On"	6倍

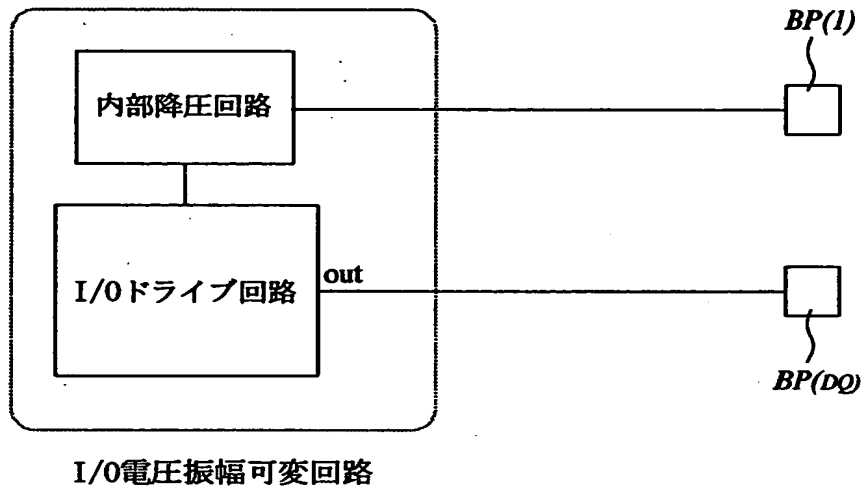
【図48】

図 48



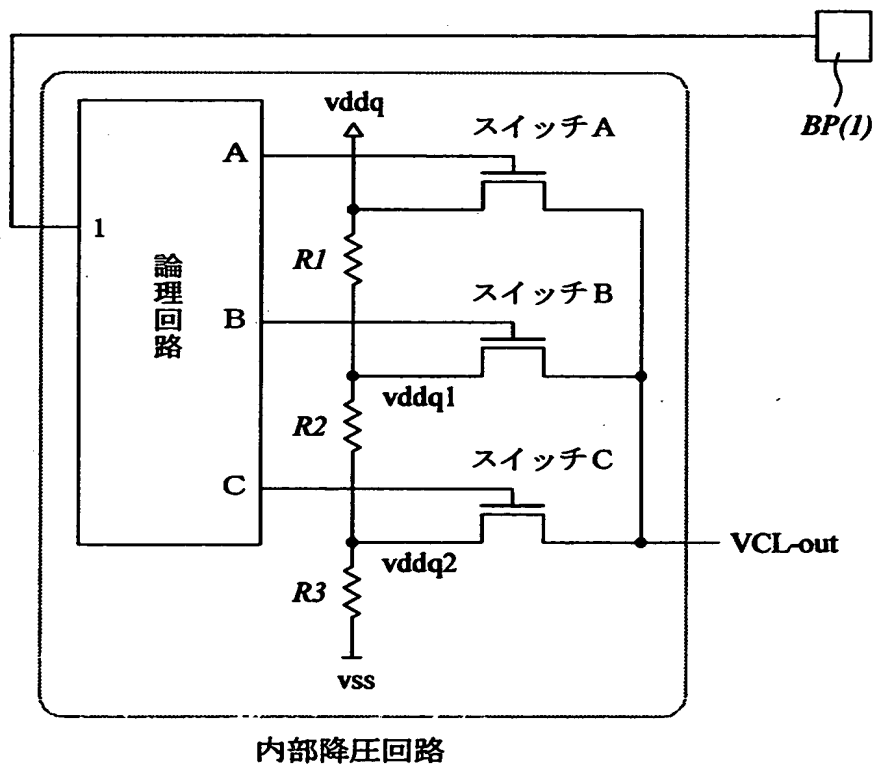
【図 49】

図 49



【図 50】

図 50

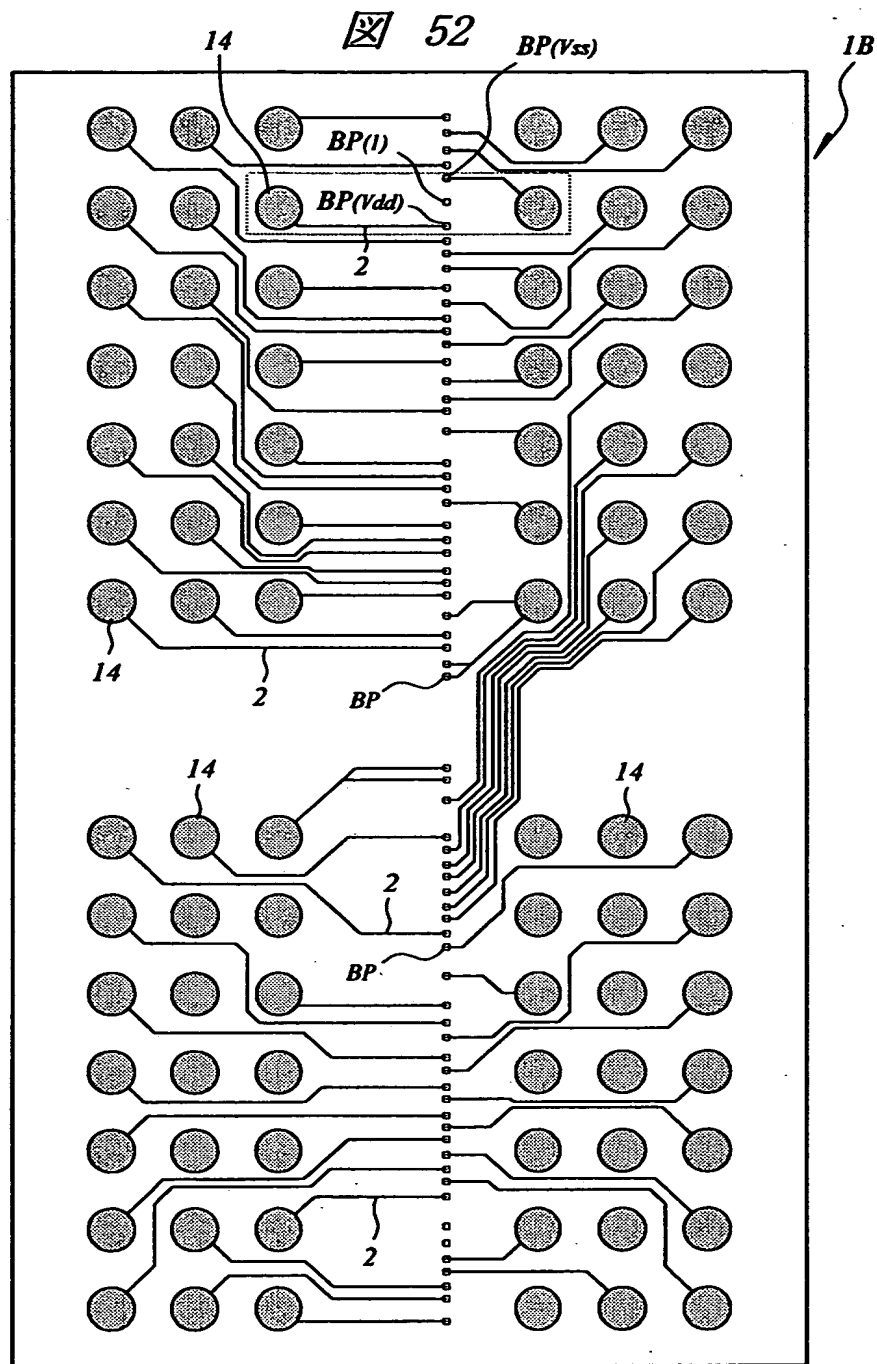


【図 5 1】

図 51

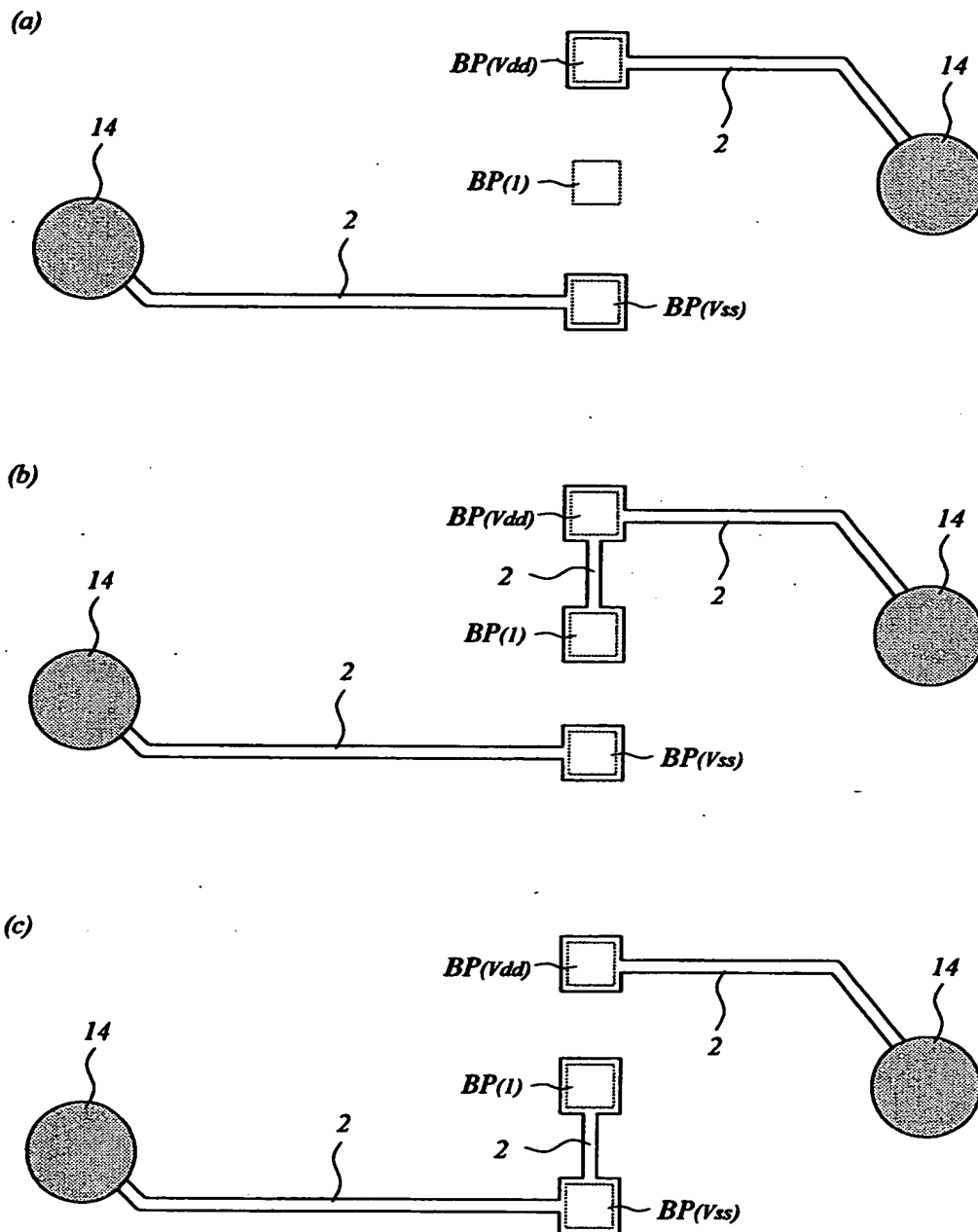
"1"の電位	"A/B/C"の電位	スイッチ"a/b/c" の"On/Off"	"VCL_out" の電位
"入力無し"	"High/Low/Low"	"On/Off/Off"	"vddq"
"High"	"Low/High/Low"	"Off/On/Off"	"vddq1"
"Low"	"Low/Low/High"	"Off/Off/On"	"vddq2"

【図 52】



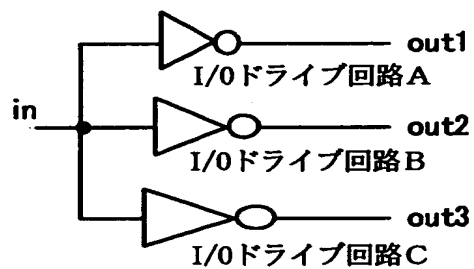
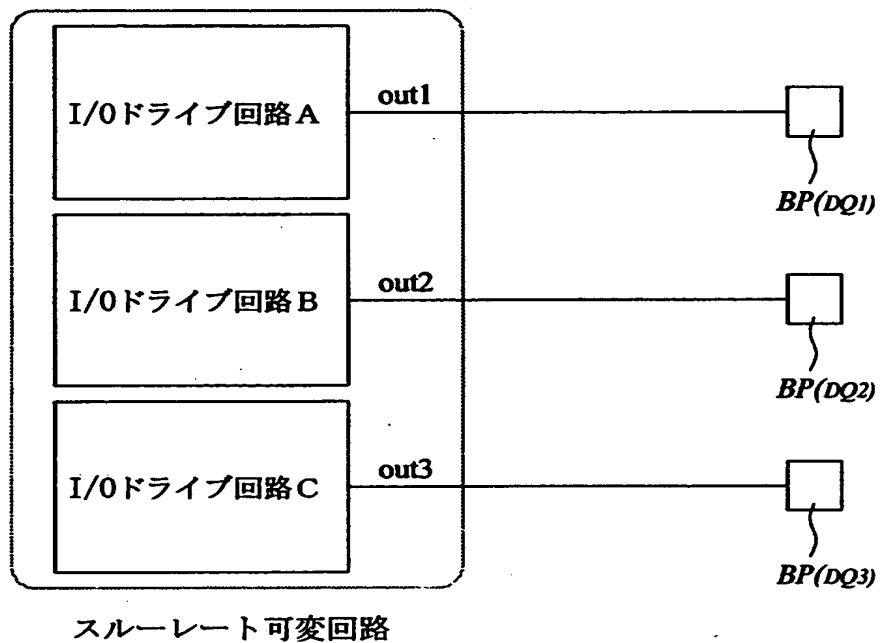
【図 53】

図 53



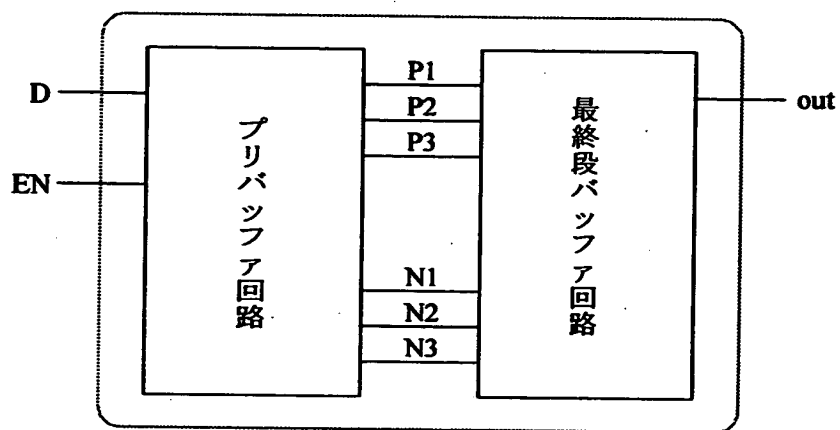
【図 5 4】

図 54



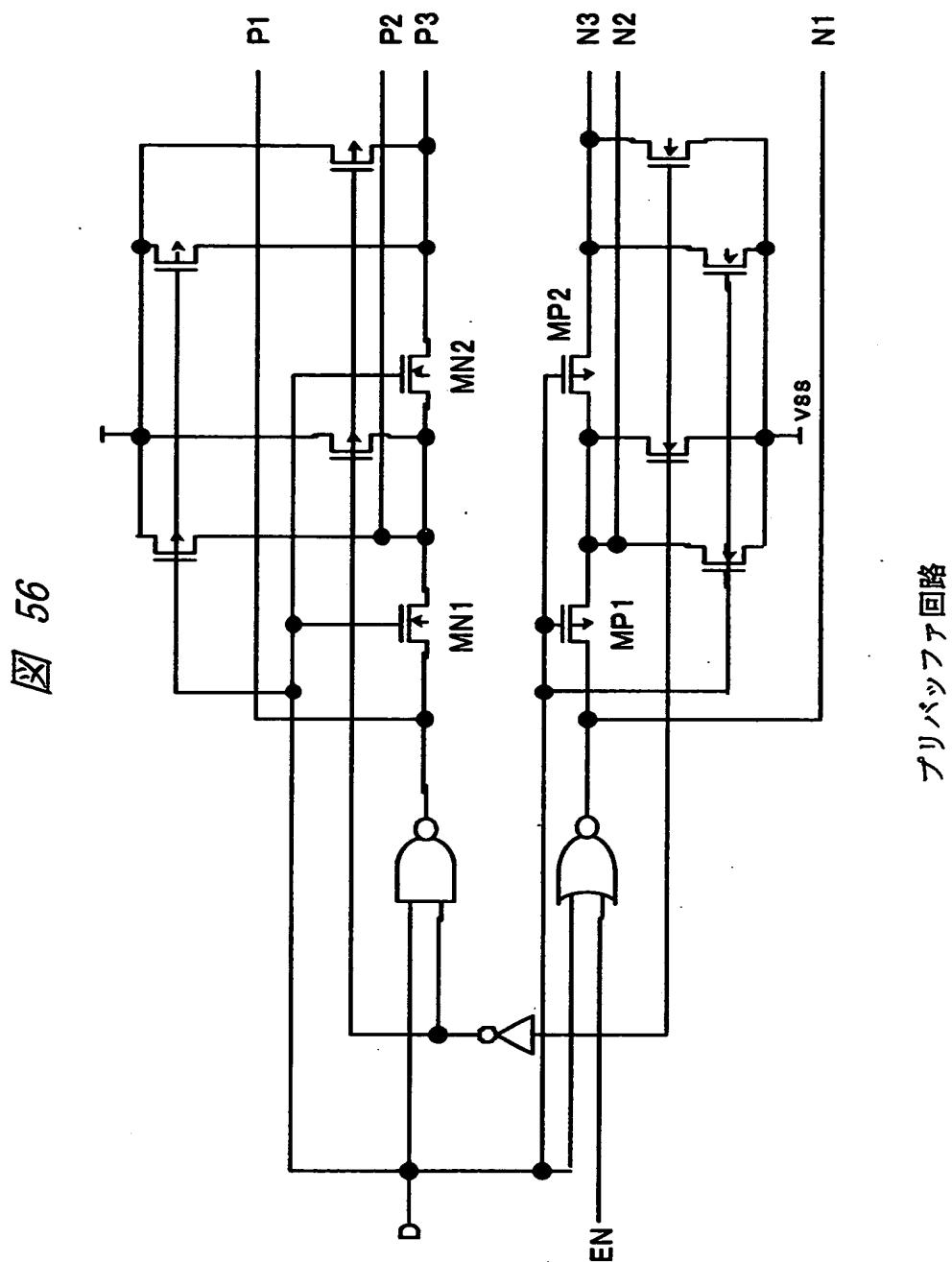
【図 5 5】

図 55



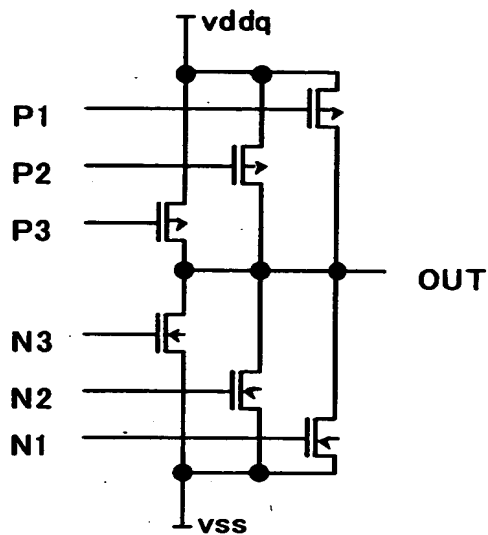
I/Oドライブ回路

【図 56】



【図 57】

図 57



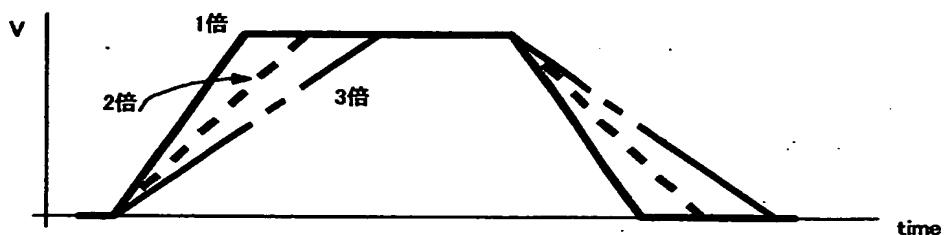
最終段バッファ回路

【図 58】

図 58

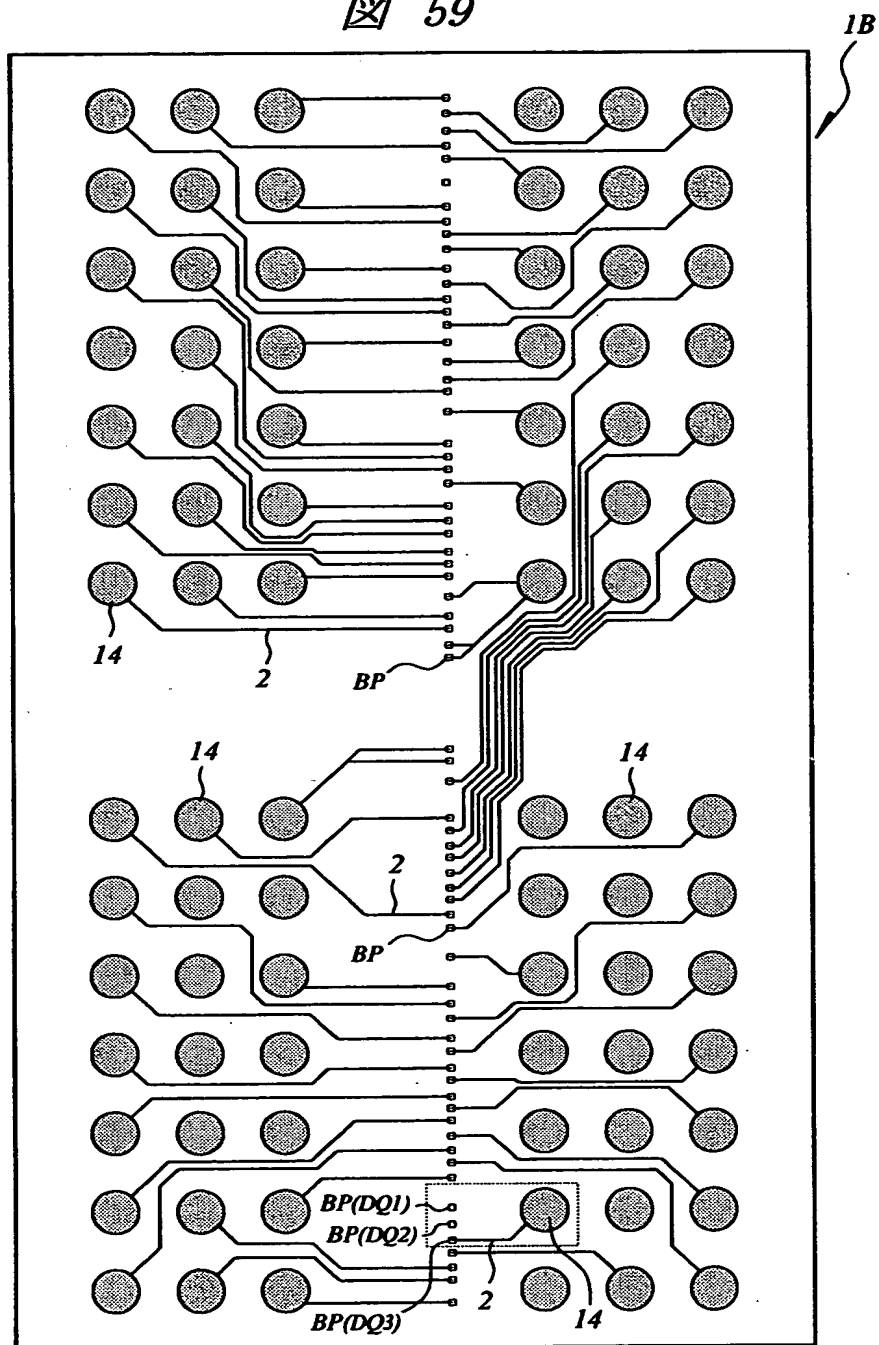
MP1及びMP2のW/L比	MN1及びMN2のW/L比	スルーレート比率
5/1	5/2	1倍(1/Oドライブ回路A)
5/2	5/4	2倍(1/Oドライブ回路B)
5/3	5/6	3倍(1/Oドライブ回路C)

スルーレート比率は、大きいほど波形は滑らかになる。



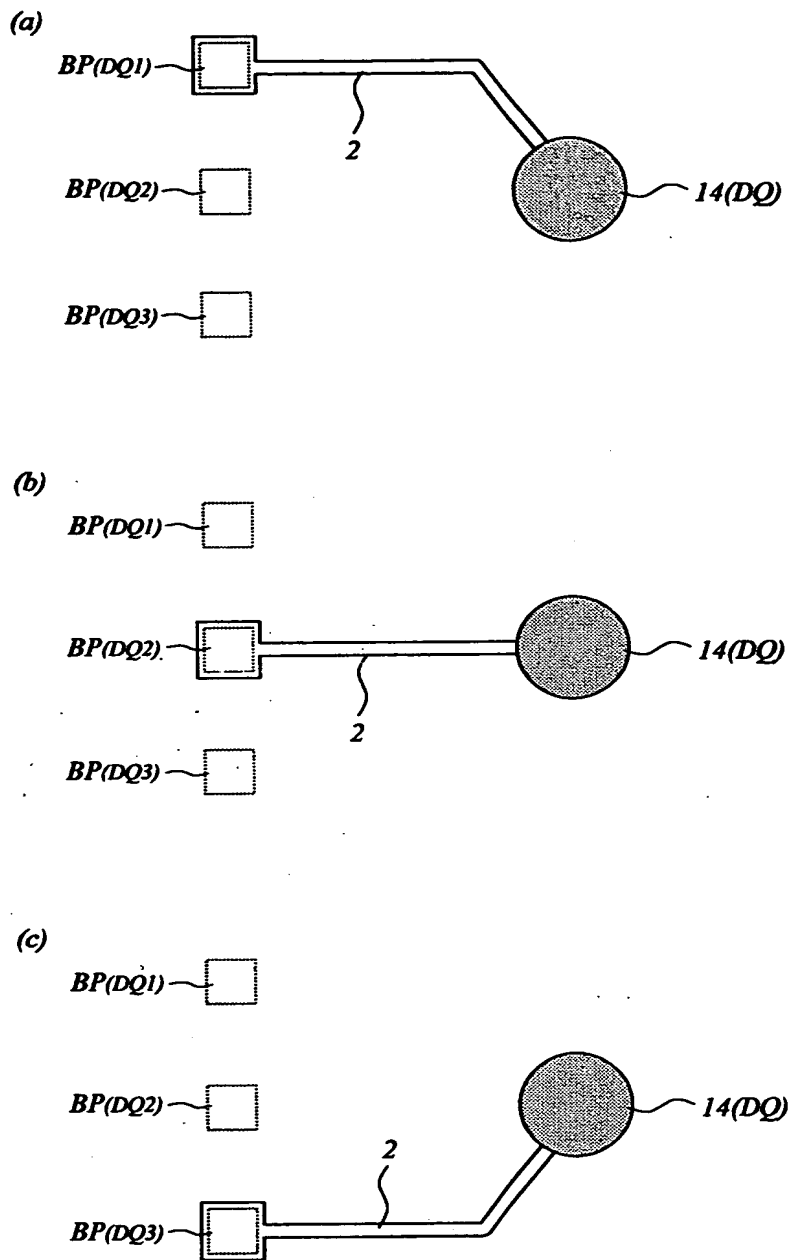
【図 59】

図 59



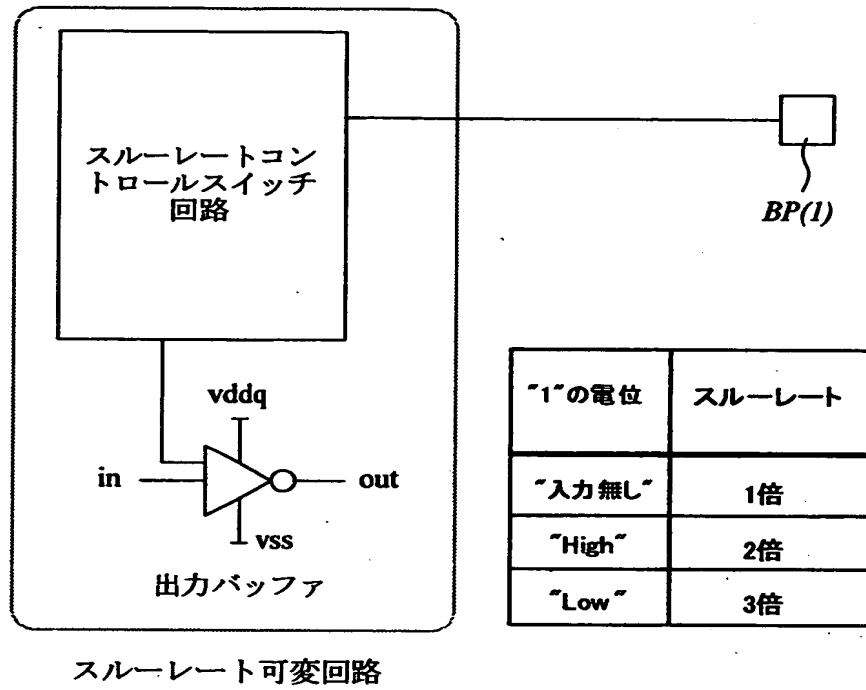
【図 60】

図 60



【図61】

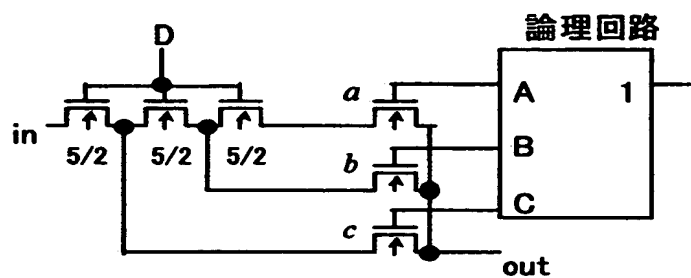
図 61



【図 62】

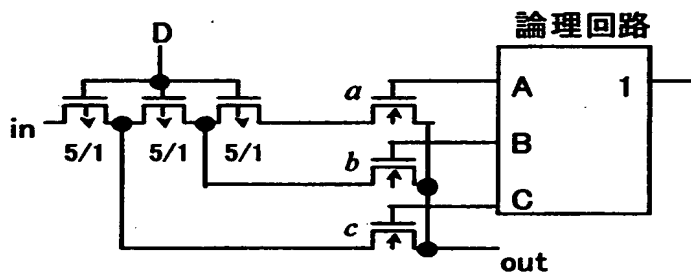
図 62

(a)



スルーレートコントロールスイッチ回路

(b)



スルーレートコントロールスイッチ回路

【図 63】

図 63

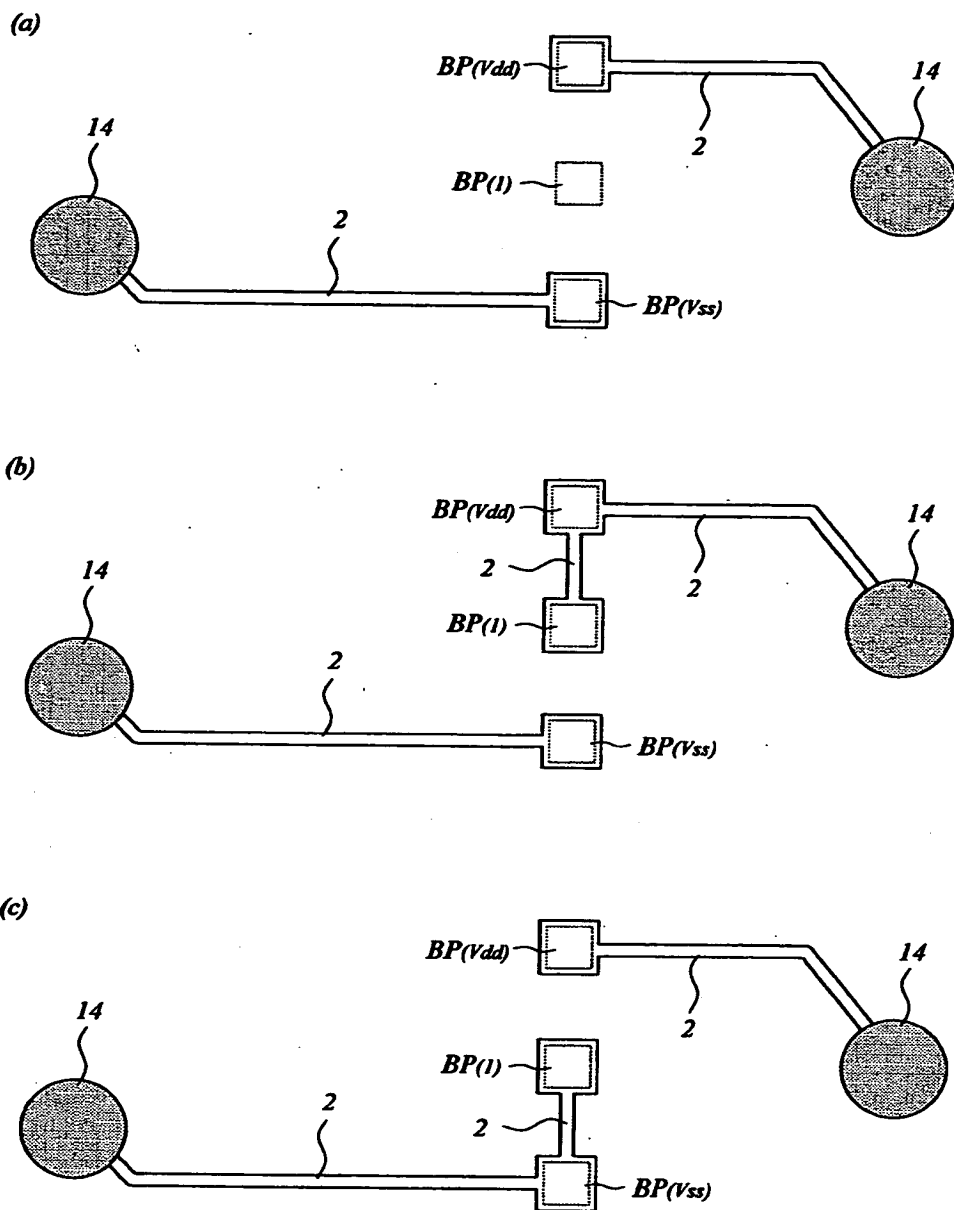
論理回路
の論理図

"1"の電位	"A/B/C"の電位	スイッチ"a/b/c" の"On/Off"	スルーレート比率
"入力無し"	"High/Low/Low"	"On/Off/Off"	1倍(I/Oドライバ回路A)
"High"	"Low/High/Low"	"Off/On/Off"	2倍(I/Oドライバ回路B)
"Low"	"Low/Low/High"	"Off/Off/On"	3倍(I/Oドライバ回路C)

スルーレート比率は、大きいほど波形は滑らかになる。

【図 64】

図 64



【書類名】 要約書

【要約】

【課題】 ウエハレベルCSPの開発期間を短縮してかつ製造コストを低減する技術を提供する。

【解決手段】 半導体チップ1Bの主面は、感光性ポリイミド樹脂膜5で覆われており、その上部には、表面が最上層保護膜12で覆われた再配線2が形成されている。再配線2の一端部であるバンプ・ランド2Aの上には、外部接続端子を構成する半田バンプ14が形成されている。このウエハレベルCSPは、再配線2のパターンを変更することによって、複数の機能の一つあるいは複数の特性の一つが選択されるようになっている。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号

[000005108]

1. 変更年月日

1990年 8月31日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台4丁目6番地

氏 名

株式会社日立製作所